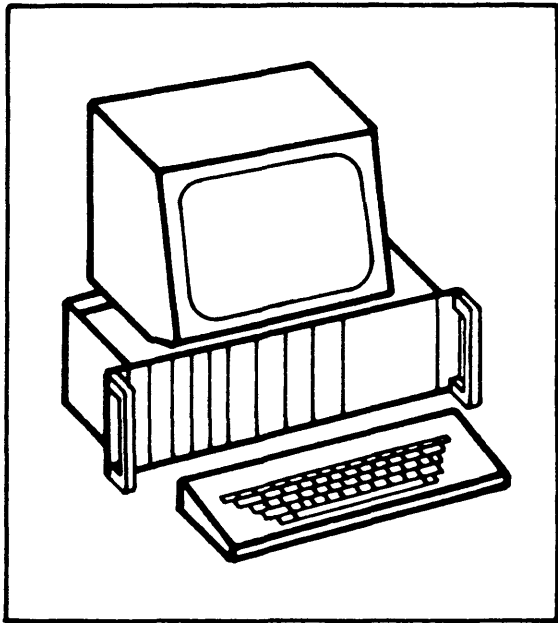


# FACHPRAKTISCHE ÜBUNG MIKROCOMPUTER-TECHNIK



**8-K-RAM/EPROM**

**BFZ/MFA 3.1.**



---

Diese Übung ist Bestandteil eines Mediensystems, das im Rahmen eines vom Bundesminister für Bildung und Wissenschaft, vom Bundesminister für Forschung und Technologie sowie der Bundesanstalt für Arbeit geförderten Modellversuches zum Einsatz der "Mikrocomputer-Technik in der Facharbeiterausbildung" vom BFZ-Essen e.V. entwickelt wurde.

---

1

2

3

4

---

8-K-RAM/EPROM

---

## 1. Einleitung

Die Speicherbausteine sind neben dem Mikroprozessor (CPU) die wichtigsten Bausteine zum Aufbau eines Mikroprozessorsystems. In ihnen sind die Daten und Befehle, die der Mikroprozessor verarbeiten soll, enthalten, oder sie können dort abgelegt werden.

Zum Ausführen eines Programmes benötigt der Mikroprozessor unterschiedliche Speichertypen. Daten, die verändert werden sollen und die vom Anwender eingegeben werden, speichert man in "Schreib-Lese-Speichern" ab. Solche Speicher nennt man auch "RAM's"; die Abkürzung steht für "random access memory" und bedeutet soviel wie "Speichersystem mit beliebigem Zugriff". Programme, die nicht mehr geändert werden sollen, werden in "Nur-Lese-Speichern" oder "ROM's" abgespeichert. Hier steht die Abkürzung für "read only memory", was soviel bedeutet wie "Speichersystem mit Lese- aber ohne Schreibmöglichkeit". Die Programme in diesen Speichern werden vom Hersteller der ROM's im Verlauf der Fertigung in die Speicherzellen geladen. Will man als Anwender solche Programme selber in Speicher laden, so muß man ROM's verwenden, die sich elektrisch programmieren lassen. Speicher dieser Art nennt man "EPROM's". Die Abkürzung steht für "erasable programmable read only memory" und bedeutet etwa "Löschbarer aber programmierbarer Festwertspeicher". Die Informationen in einem EPROM sind durch Bestrahlung mit UV-Licht löschtbar, programmiert werden sie durch elektrische Impulse.

Ein weiteres Merkmal der genannten Speichertypen ist ihr Verhalten bezüglich ihres Informationsinhaltes nach Abschalten der Betriebsspannung. ROM- und EPROM-Speicher behalten ihren Inhalt nach Abschalten der Betriebsspannung, während er bei RAM-Speichern verloren geht.

Um das MC-Baugruppensystem erweiterbar und flexibel zu machen, werden alle Speicherbausteine auf einer eigenen Baugruppe angeordnet. Diese Baugruppe kann entweder mit RAM- oder mit EPROM (ROM)- Speichern bestückt werden. Die hierzu nötige Umschaltung erfolgt durch Einlöten einiger Drahtbrücken. Speichererweiterungen sind einfach durch Verwendung mehrerer Baugruppen möglich. Im folgenden wird zunächst erklärt, was beim Aufbau solcher Baugruppen zu beachten ist. Anschließend wird die Funktion der 8-K-RAM/EPROM-Baugruppe beschrieben.

## 8-K-RAM/EPROM

## 2. Prinzip eines Speichers

Bild 1 zeigt das Prinzip eines Speichers und die zum Lesen und Beschreiben nötigen Anschlüsse.

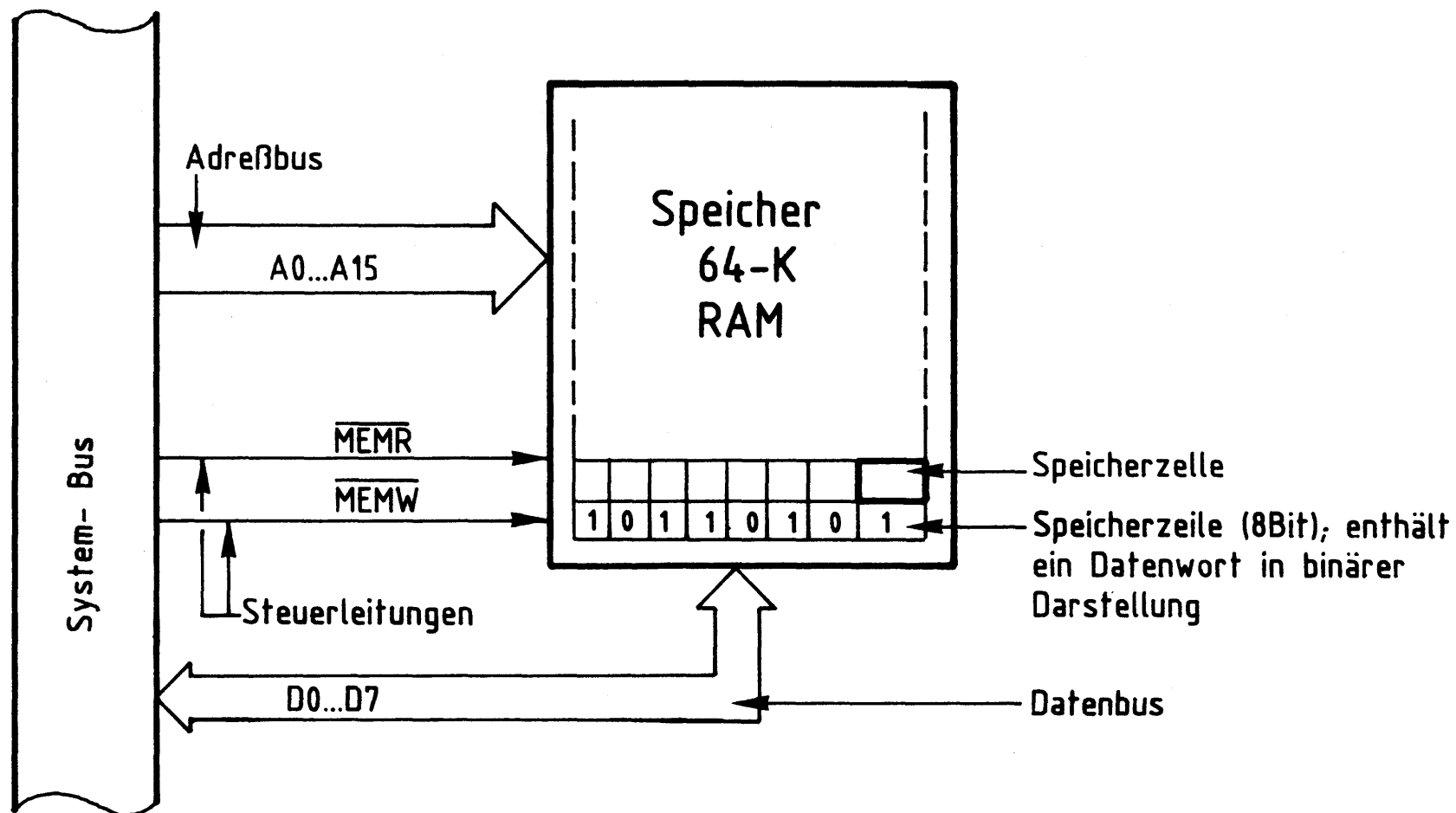


Bild 1: Prinzip eines Speichers

Alle Informationen im Speicher sind in binärer Form gespeichert. Ein "Datenwort" besteht aus acht Bit und ist in einer Speicherzeile gespeichert - die ihrerseits aus acht Speicherzellen besteht.

Der Transport der Datenworte in den oder aus dem Speicher erfolgt über acht Datenleitungen, den Datenbus. Mit Hilfe der Bitkombination auf den 16 Adreßleitungen - dem Adreßbus - wird bestimmt, in welche Speicherzeile ein Datenwort gelangen soll oder aus welcher Zeile es gelesen werden soll. Die Anzahl der im Speicher ansprechbaren Speicherzeilen wird begrenzt durch die Zahl der zu ihrer Adressierung vorhandenen Adreßleitungen. Mit  $n$  Adreßleitungen lassen sich  $2^n$  Speicherzeilen adressieren. Mit den 16 Adreßleitungen eines 8-Bit-Mikroprozessors kann man  $2^{16} = 65536$  Speicherzeilen ansprechen. Einen Speicher mit dieser Anzahl von Speicherzeilen nennt man 64-K-Speicher. Hier steht K für 1024 ( $=2^{10}$ ) Speicherzeilen.

Mit den beiden Leitungen  $\overline{\text{MEMR}}$  und  $\overline{\text{MEMW}}$  - den Steuerleitungen - wird bestimmt, ob ein Datenwort in die adressierte Speicherzeile geschrieben werden soll ( $\overline{\text{MEMW}} = L$ ) oder ob es aus ihr gelesen werden soll ( $\overline{\text{MEMR}} = L$ ). MEMW steht für

## 8-K-RAM/EPROM

"Memory write", Speicher beschreiben und MEMR für "Memory read", Speicher lesen. Die Überstreichung bedeutet, daß diese Signale bei L-Pegel wirksam (aktiv) werden.

## 2.1. Aufbau eines Speichers aus einzelnen Speicherblöcken

Der in Bild 1 dargestellte Speicher hat neben dem Vorteil des einfachen Aufbaus den großen Nachteil, daß er die gemischte Verwendung von RAM- und ROM- oder EPROM-Bausteinen nicht zuläßt, weil er die Höchstzahl von Speicherzeilen besitzt, die in 8-Bit-MC-Systemen möglich ist. Diesen Nachteil kann man vermeiden, indem man den Speicher aus kleineren "Speicherblöcken" aufbaut. Bild 2 zeigt eine mögliche Lösung, bei der ein 64-K-Speicher aus acht 8-K-Blöcken aufgebaut ist.

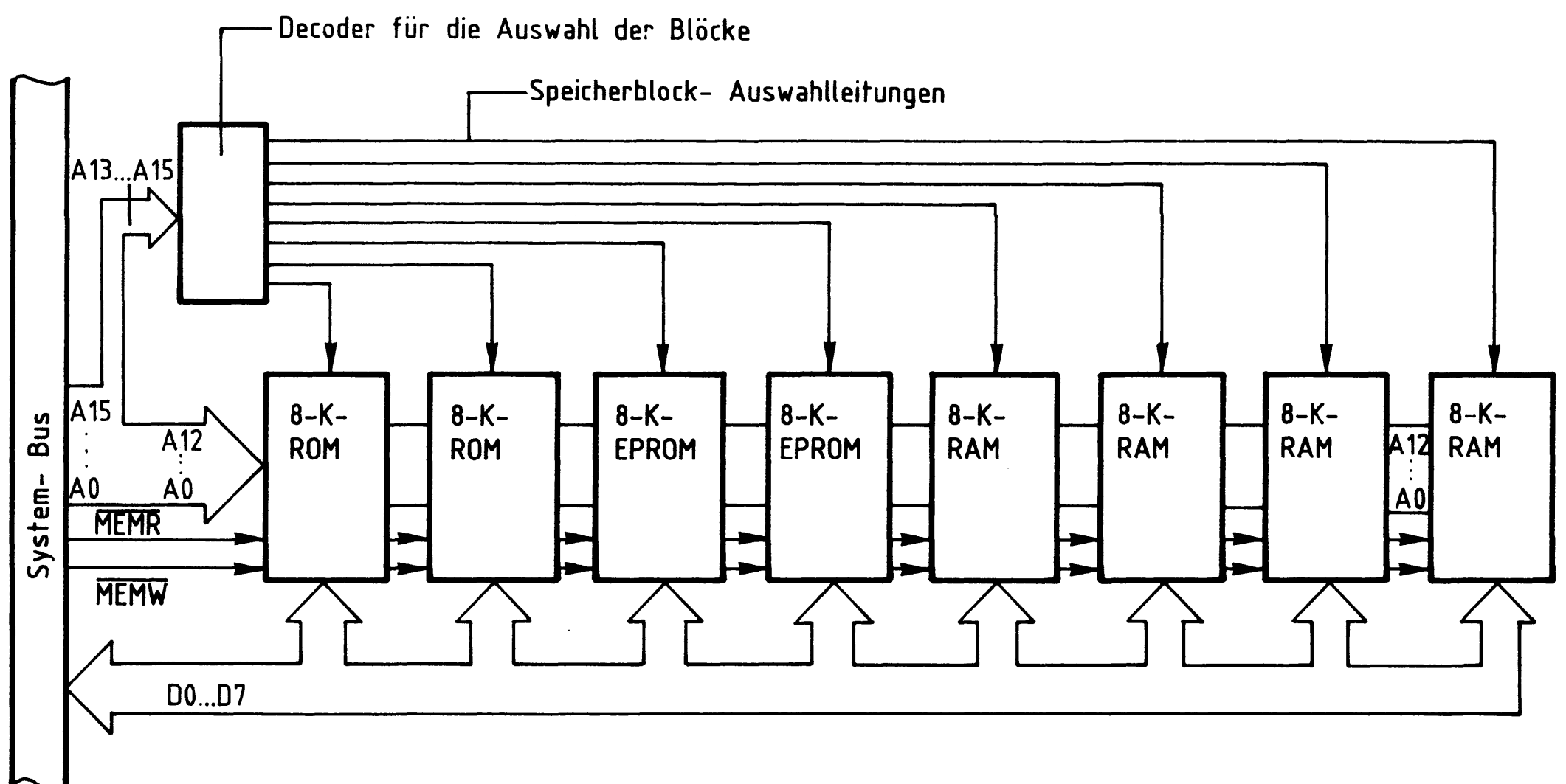


Bild 2: 64-K- Speicher, aufgebaut aus acht 8-K-Blöcken

Jeder einzelne Block kann jetzt aus RAM- ROM- oder EPROM-Speicherbausteinen bestehen. Außerdem kann man auch mit kleineren Speichersystemen arbeiten, wenn die Aufgabenstellung keinen Speicher mit 64-K-Speicherzeilen erfordert.

Da jeder der 8-K-Speicherblöcke aus  $2^{13}$  Speicherzeilen besteht, benötigt man zu deren Adressierung auch nur 13 Adreßleitungen ( $8K = 8 \times 2^{10} = 2^{13} = 8192$ ). Die 13 Adreßleitungen A0 - A12 führt man zu jedem der 8-K-Blöcke. Eine Decodierschaltung sorgt dafür, daß nicht die Inhalte von mehreren Speicherzeilen gleichzeitig auf den Datenbus geschaltet werden. Man kennzeichnet dazu die Speicherblöcke

## 8-K-RAM/EPROM

durch 3-stellige Adressen, die auf den Adreßleitungen A13, A14 und A15 ausgesandt werden. Die Decodierschaltung steuert dann entsprechend der 8 möglichen Bitkombinationen ( $2^3 = 8$ ) auf diesen Leitungen einen Speicherblock an. Über die vorhandenen 16 Adreßleitungen kann man auf diese Weise jede Speicherzeile eines 64-K-Speichers, der aus acht 8-K-Blöcken aufgebaut ist, ansprechen. Die beiden Steuerleitungen  $\overline{\text{MEMR}}$  und  $\overline{\text{MEMW}}$  werden jedem Speicherblock zugeführt. Da das  $\overline{\text{MEMW}}$ -Signal auf ROM- und EPROM-Blöcken nicht benötigt wird, kann diese Steuerleitung vom Speicherblock getrennt werden.

## 2.2. Die Blockauswahl durch Adreßvergleicher

Aus Platzgründen kann man die acht 8-K-Blöcke eines Speichers, wie ihn Bild 2 zeigt, nicht auf einer Leiterplatte anordnen. Es stellt sich deshalb die Frage, wo man den Decoder zur Speicherblockauswahl einbauen soll. Wünscht man gleichartig aufgebaute und untereinander austauschbare Baugruppen, so muß man die Speicherblockauswahl auf jeder Baugruppe vorsehen.

Bild 3 zeigt das Blockschaltbild einer Baugruppe, bei der dies durchgeführt ist.

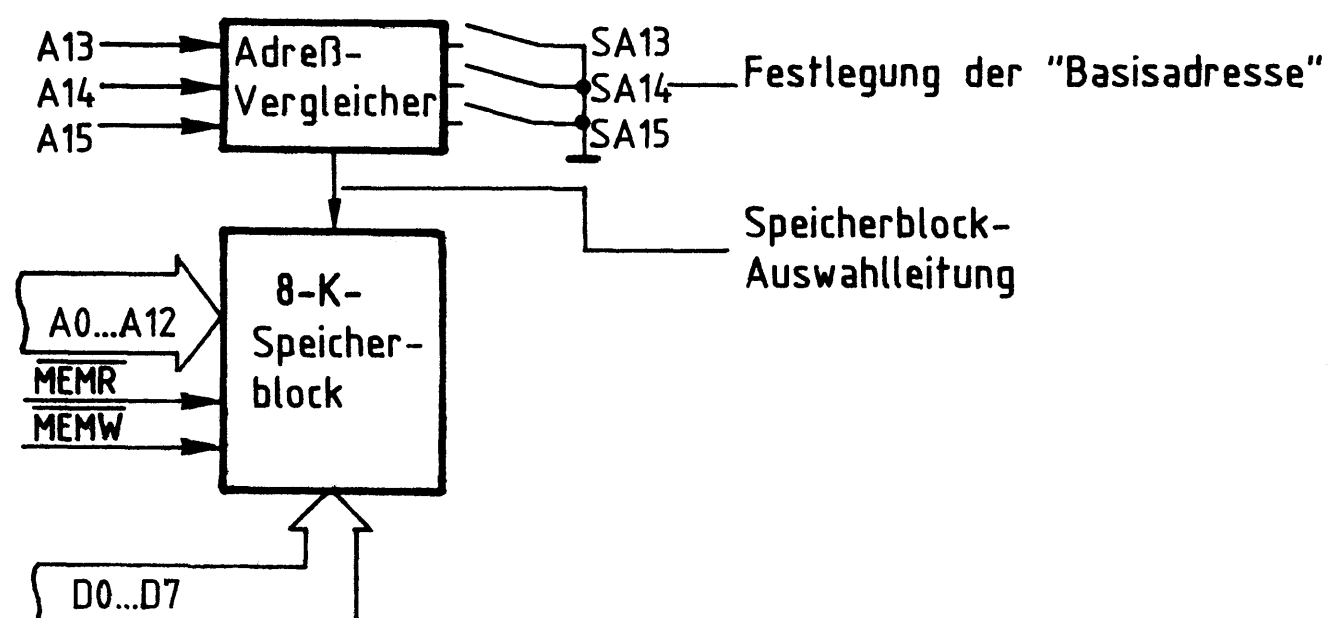


Bild 3: Speicherblock- Auswahl mit einem Adreßvergleicher

## 8-K-RAM/EPROM

Ist die Bitkombination auf den Adreßleitungen A13 - A15 gleich derjenigen, die mit den Schaltern SA13, SA14 und SA15 eingestellt wurde, so erfolgt die Auswahl des entsprechenden Speicherblocks. Mit den drei Schaltern lassen sich acht verschiedene Speicherblöcke auswählen. Die niedrigste Adresse einer Speicherzeile eines jeden Speicherblocks nennt man "Basisadresse", sie wird durch die gewählte Schalterstellungskombination festgelegt.

Bild 4 zeigt den Aufbau eines 64-K-Speichers aus acht 8-K-Blöcken. Jeder Block ist eine eigene Baugruppe mit eigener Blockauswahl.

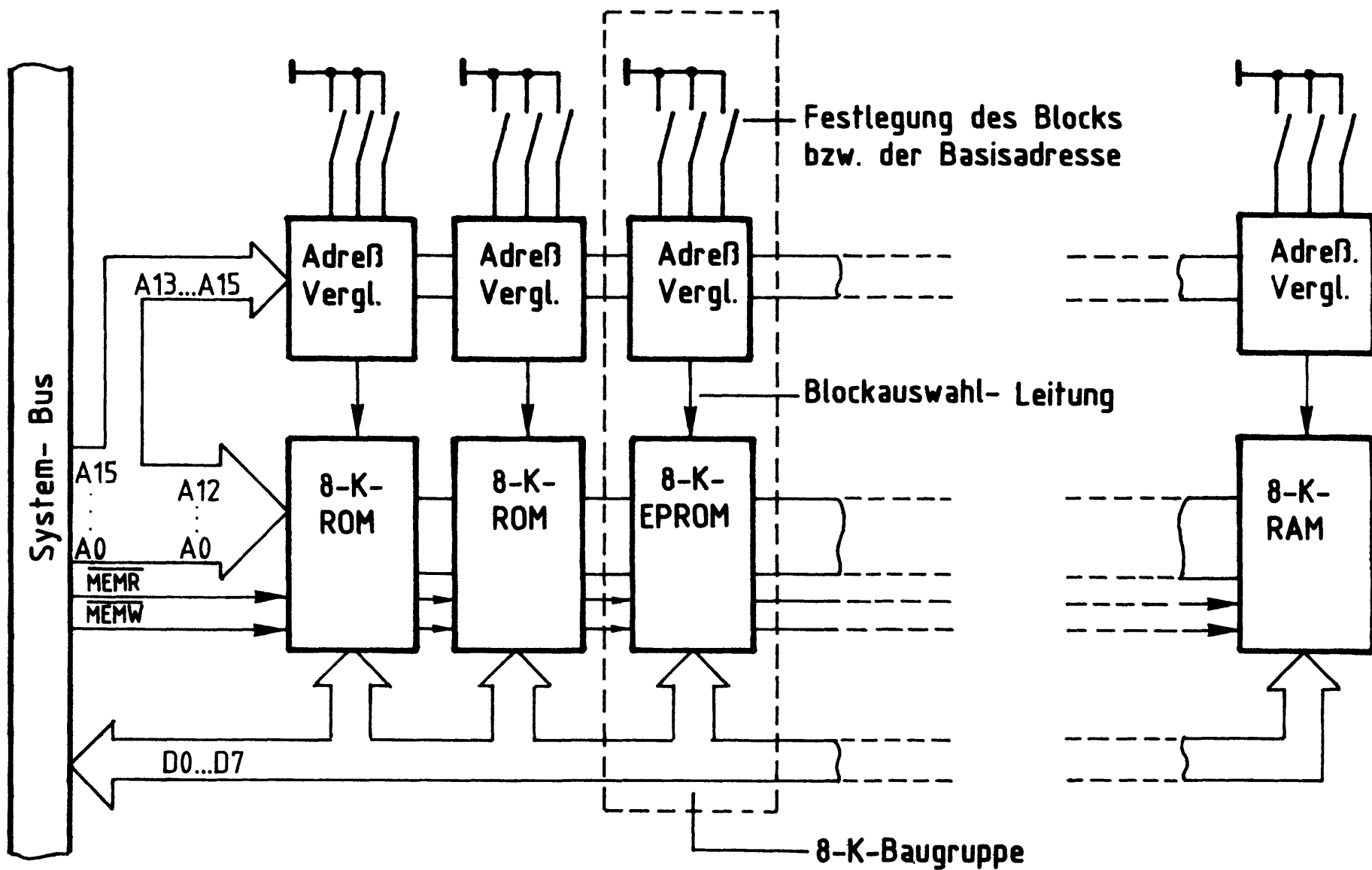


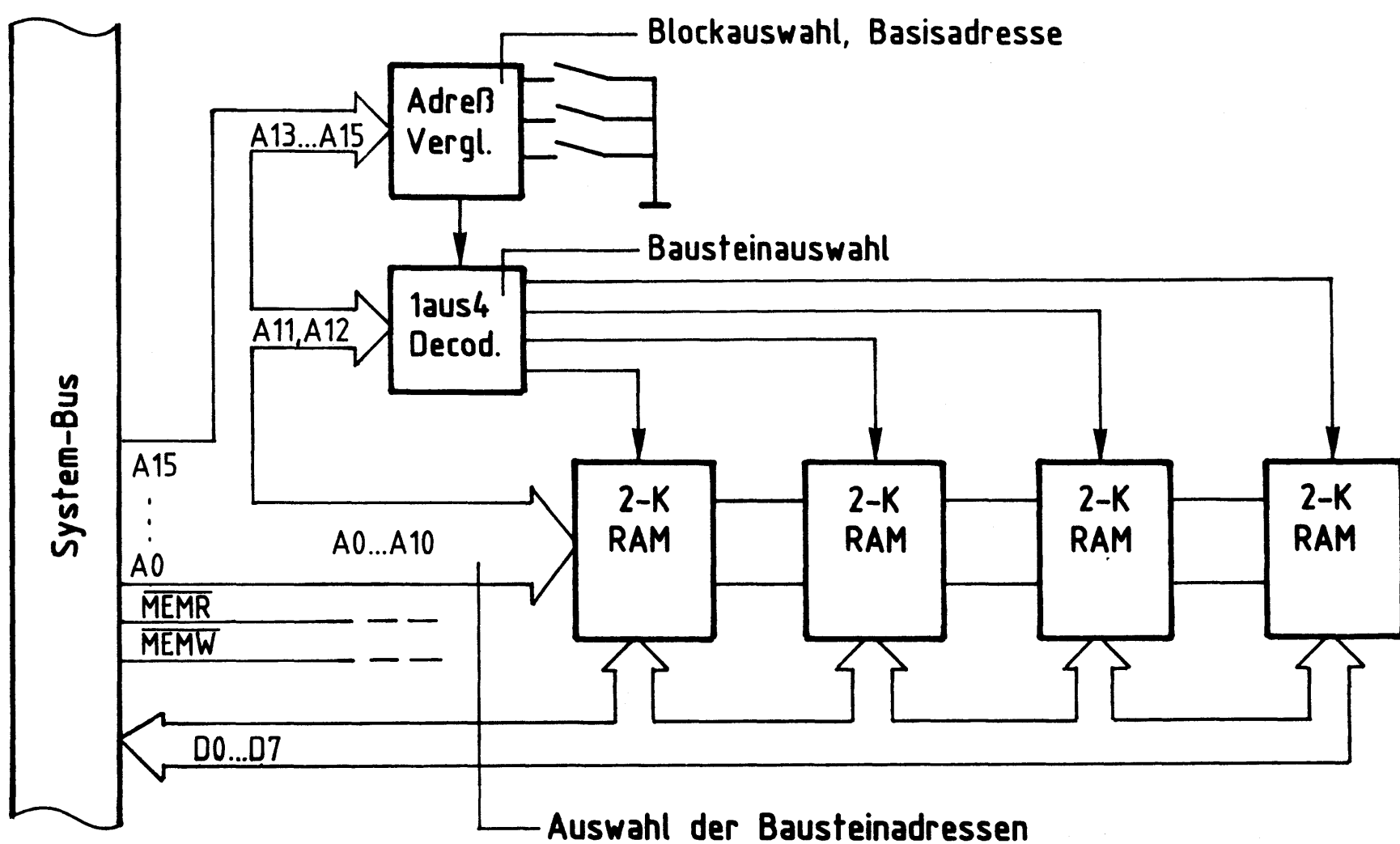
Bild 4: 64-K- Speicher, aufgebaut aus acht 8-K- Speicherbaugruppen mit eigener Blockauswahl

Jede dieser Baugruppen ist an allen Bus-Leitungen angeschlossen; die Baugruppen sind deshalb beliebig innerhalb eines Baugruppensystems austauschbar. Mit der Festlegung der Basisadresse durch die Schalterstellung am Adreßvergleichsblock auf den Baugruppen ist der Adreßbereich einer Baugruppe eindeutig festgelegt. Damit keine Überschneidungen bezüglich der Adressen auftreten, dürfen keine gleichen Schalterstellungen auf verschiedenen Baugruppen (oder 8-K-Blöcken) eingestellt werden!

### 2.3. Aufbau eines 8-K-Speicherblocks aus 2-K-Speicherbausteinen

Der Aufbau eines 8-K-Speicherblocks ist im wesentlichen bestimmt durch die Wahl der im Handel erhältlichen Speicherbausteine. Leitungsführung und weitere Decodierschaltungen hängen z.B. davon ab, ob man den Block aus acht 1-K-Speicherbausteinen oder aus vier 2-K-Speicherbausteinen aufbaut. Weiter sollte man beachten, daß es RAM- und EPROM-Bausteine mit der gleichen Anschlußbelegung gibt. Man braucht dann nur einen Typ von Leiterplatten zu entwerfen, den man wahlweise für verschiedene Aufgaben einsetzen kann.

Bild 5 zeigt das Blockschaltbild einer 8-K-Speicherbaugruppe, die aus vier 2-K-Speicherbausteinen aufgebaut ist. Die Schreib- und Lesesteuerung ist hier nicht eingezeichnet.



**Bild 5:** 8-K- Speicherbaugruppe, aufgebaut aus 2-K- Speicherbausteinen  
(Bestückung mit RAM,ROM,EPROM möglich)

Mit den 11 Adreßleitungen A0 - A10 lassen sich die in jedem Speicherbaustein vorhandenen 2048 ( $2^{11}$ ) Speicherzeilen adressieren. Für die eindeutige Adressierung der vier 2-K-Speicherbausteine sorgt ein 1 aus 4 Decoder. Er sucht aus den vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 jeweils nur eine aus und steuert den entsprechenden Speicherbaustein an.



8-K-RAM/EPROM

Die Adreßleitungen A13 bis A15 liefern wie bereits beschrieben das Blockauswahl-Signal. Der Adreßvergleichler gibt den 1 aus 4 Decoder nur dann frei, wenn sich die Gesamtadresse (aus A0 - A15) im Bereich der für den Block gültigen 8-K-Speicherzeilen befindet.

Beim Aufbau der Baugruppe aus acht 1-K-Speichern müßte der 1 aus 4 Decoder durch einen 1 aus 8 Decoder ersetzt werden; den Speichern würden dann nur die Adreßleitungen A0 - A9 ( $2^{10} = 1024$ ) zugeführt, und der Decoder erhielte eine Adreßleitung mehr ( $2^3 = 8$ ), weil er dann acht Bausteine anzuwählen hätte.

3. Blockschaltbild der 8-K-RAM/EPROM-Baugruppe

Bild 6 zeigt das Blockschaltbild dieser Baugruppe. Zunächst wird die Funktion erklärt, Schaltungsdetails werden anschließend beschrieben.

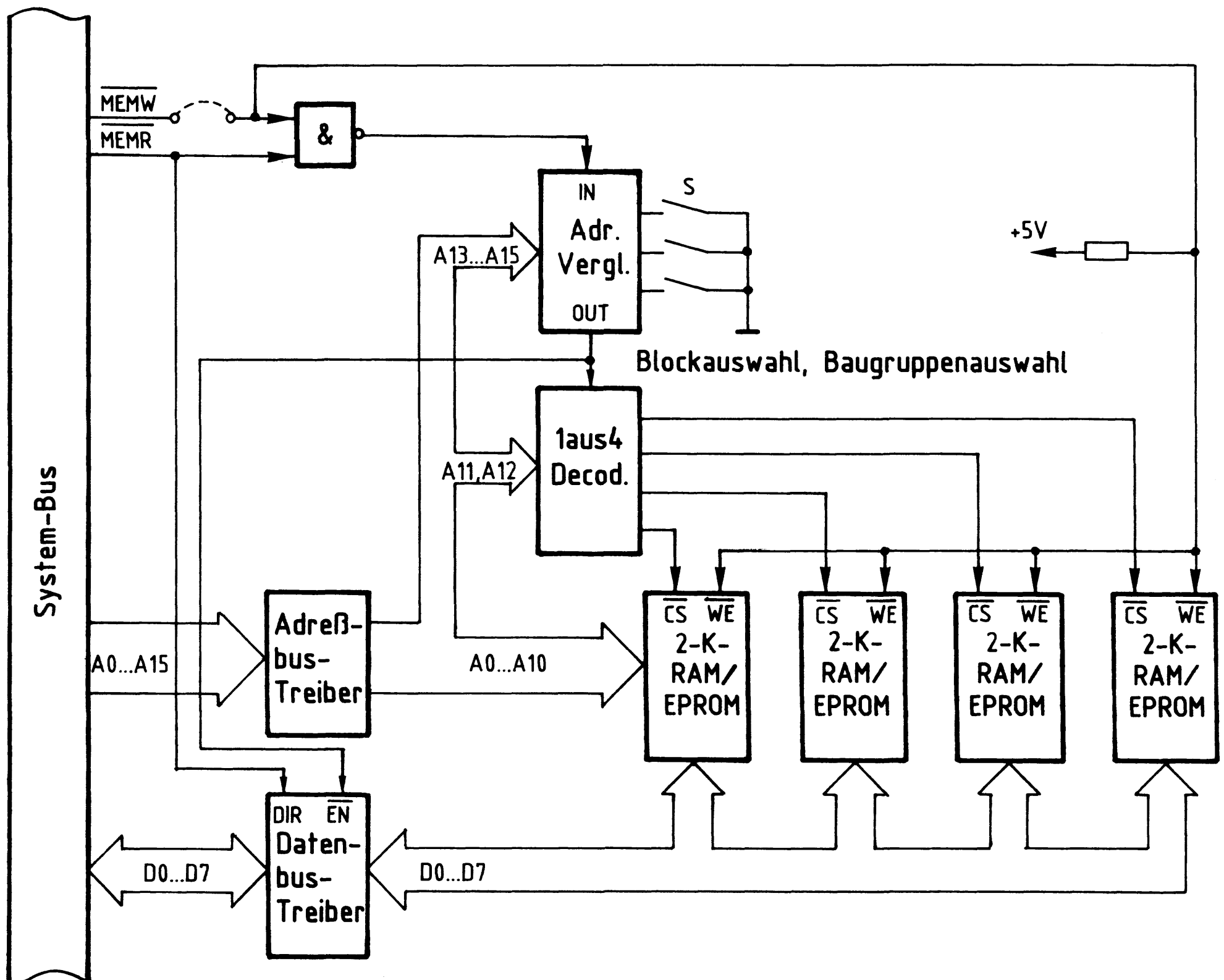


Bild 6: Blockschaltbild der 8-K-RAM/EPROM-Baugruppe

## 8-K-RAM/EPROM

Zwischen dem System-Bus und den internen Busleitungen auf der Baugruppe befinden sich Bustreiber zur Entlastung der Ausgänge der CPU (Mikroprozessor). Eine auf den Adreßleitungen A0 - A15 anstehende Adresse (Bitkombination) gelangt über den Adreßbus-Treiber auf den internen Bus. Der Adreßvergleicher wählt aus dem möglichen 64-K-Speicherbereich zunächst einen 8-K-Block aus. Die Baugruppe wird immer dann angesprochen, wenn

- die Bitkombination auf den Leitungen A13 - A15 mit der an den Schaltern S eingestellten übereinstimmt und
- der Adreßvergleicher über seinen "IN-Eingang" freigegeben ist.

Diese Freigabe erfolgt, wenn eines der beiden Steuersignale  $\overline{\text{MEMR}}$  oder  $\overline{\text{MEMW}}$  aktiv ist. Der Ausgang "OUT" des Adreßvergleichers gibt dann den "1 aus 4 Decoder" frei. Durch die Bitkombination auf den Adreßleitungen A11 und A12 wählt dieser Decoder einen der vier Speicherbausteine aus und bereitet ihn für Datenverkehr vor. Über die Adreßleitungen A0 - A10 wird schließlich eine Zeile innerhalb des 2-K-Speicherbereiches angewählt.

- Ist die Baugruppe mit EPROM-Speicherbausteinen bestückt, so gelangt bei einem  $\overline{\text{MEMR}}$ -Signal das Datenwort der adressierten Speicherzeile auf den internen Datenbus und von dort über den Datenbus-Treiber auf den System-Bus.
- Ist die Baugruppe mit RAM-Bausteinen bestückt, hängt der Datentransport davon ab, ob Daten aus dem Speicher gelesen, oder in den Speicher geschrieben werden sollen. Die Durchlaßrichtung des Datenbus-Treibers ist aus diesen Gründen umschaltbar, gesteuert wird sie mit dem  $\overline{\text{MEMR}}$ -Signal über den "DIR-Eingang" (Direction = Richtung, Umsteuerung) des Treibers.

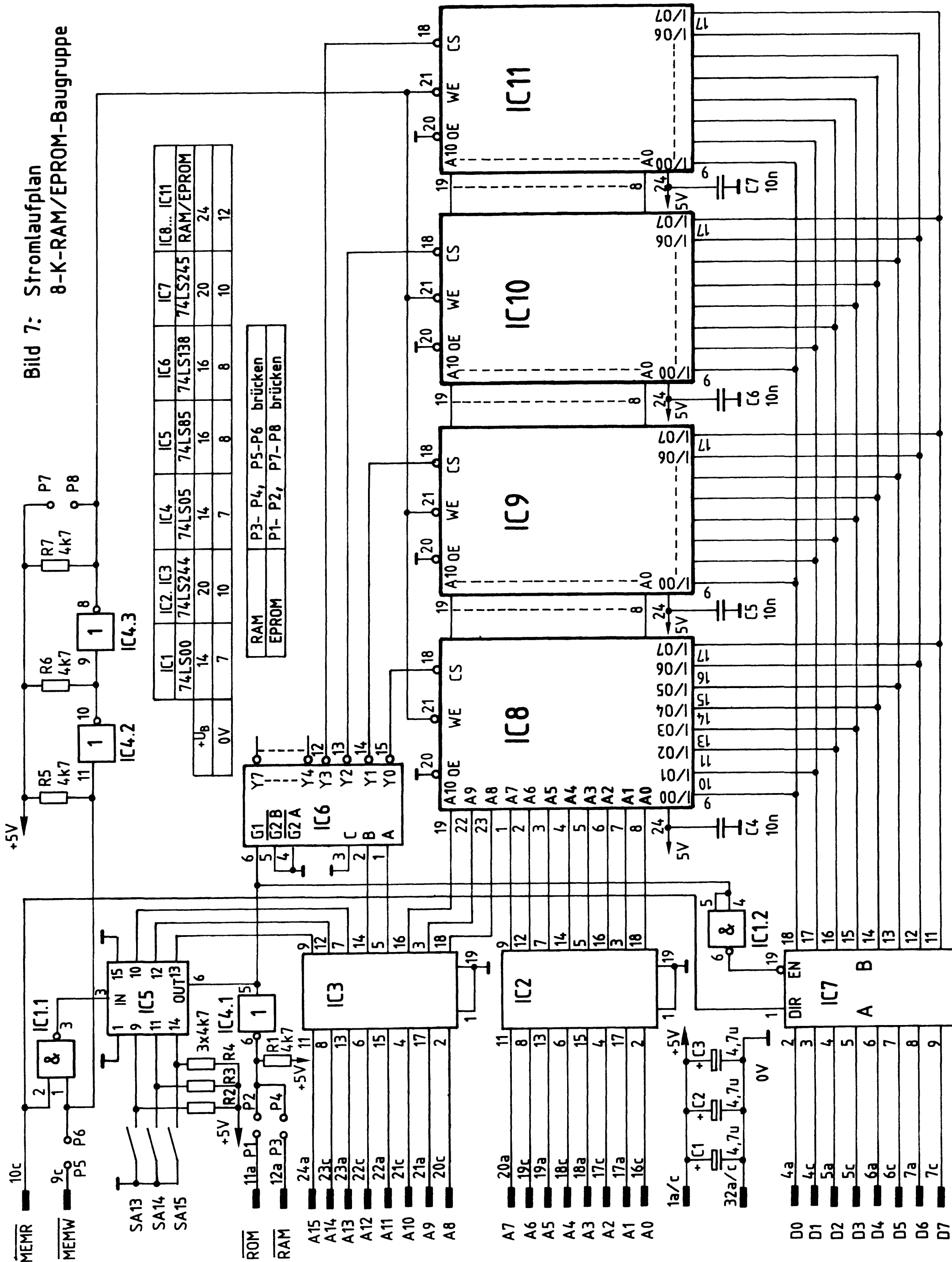
Bei einem Lesevorgang gelangt das Datenwort der adressierten Speicherzeile genau wie beim EPROM auf den System-Bus. Der Datenbus-Treiber ist in Richtung System-Bus leitend.

Bei einem Schreibvorgang ist der Datenbus-Treiber in Richtung Baugruppe leitend. Ein Datenwort, das sich auf den Datenleitungen D0 - D7 des System-Busses befindet, gelangt über den Treiber auf den internen Datenbus der Baugruppe und von dort in die adressierte Speicherzeile. Übernommen wird es durch den entsprechenden Pegel auf der  $\overline{\text{MEMW}}$ -Leitung, die an alle Speicher zu einem  $\overline{\text{WE}}$ -Eingang (write-enable = Schreib-Freigabe) geführt ist.

Über einen zweiten Steuereingang, den Eingang  $\overline{\text{EN}}$  (enable = freigeben), wird der Datenbus-Treiber vom Adreßvergleicher in einen hochohmigen Zustand geschaltet, wenn die Baugruppe nicht angewählt ist. Bild 7 zeigt den Stromlaufplan der Baugruppe, der zu allen folgenden Schaltungserklärungen mitbenutzt werden sollte.

8-K-RAM/EPROM

Bild 7: Stromlaufplan  
8-K-RAM/EPROM-Baugruppe



3.1. Der Adreßbus-Treiber (IC2, IC3)

Bild 8 zeigt einen Ausschnitt aus der Innenschaltung des Adreßbus-Treibers, die zugehörige Funktionstabelle und die äußere Beschaltung.

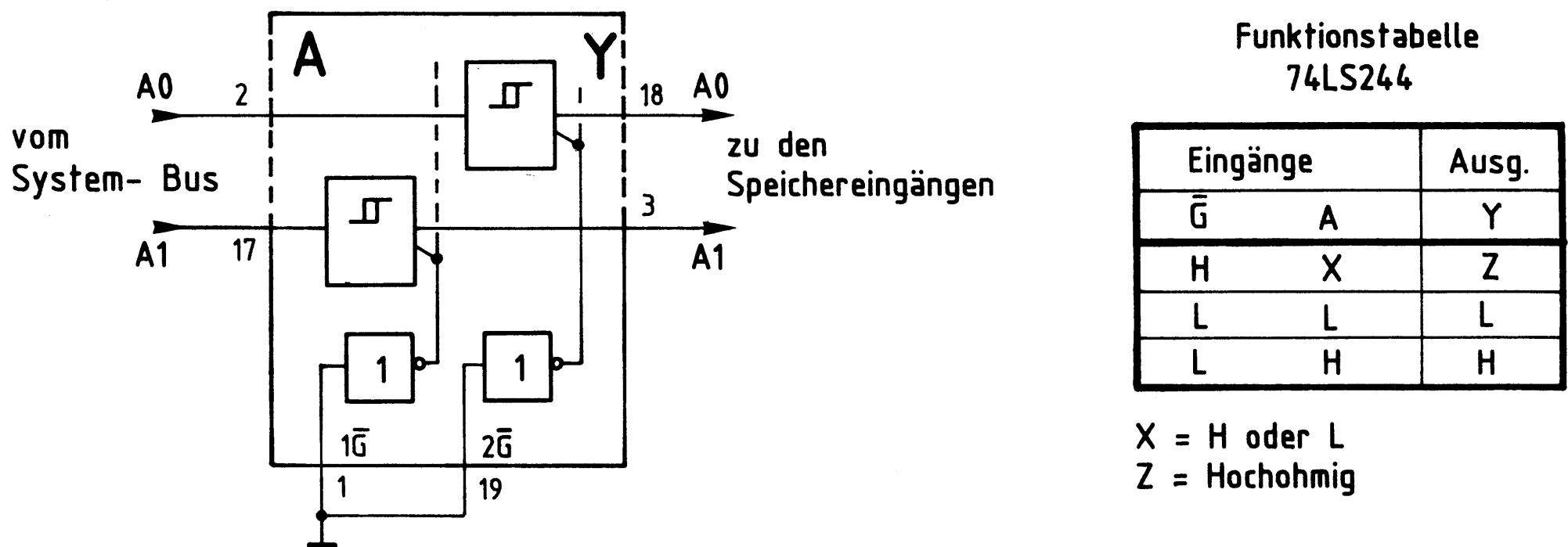


Bild 8: Innenschaltung (Ausschnitt) und Funktionstabelle des Adreßbus-Treibers.

Die internen Treiber, sie sind in einem IC achtmal vorhanden, haben einen Schmitt-Trigger-Eingang. Dadurch wird die Flankensteilheit der Ausgangssignale verbessert.

Die Eingänge der beiden Steuerinverter ( $1\bar{G}$  und  $2\bar{G}$ ) sind mit Masse verbunden, weil der hochohmige Ausgangszustand bei einem Adreßbus-Treiber nicht benötigt wird. Jeder Signalzustand der System-Bus-Adreßleitungen wird damit direkt über den Treiber auf die Adreßeingänge der Speicher übertragen.

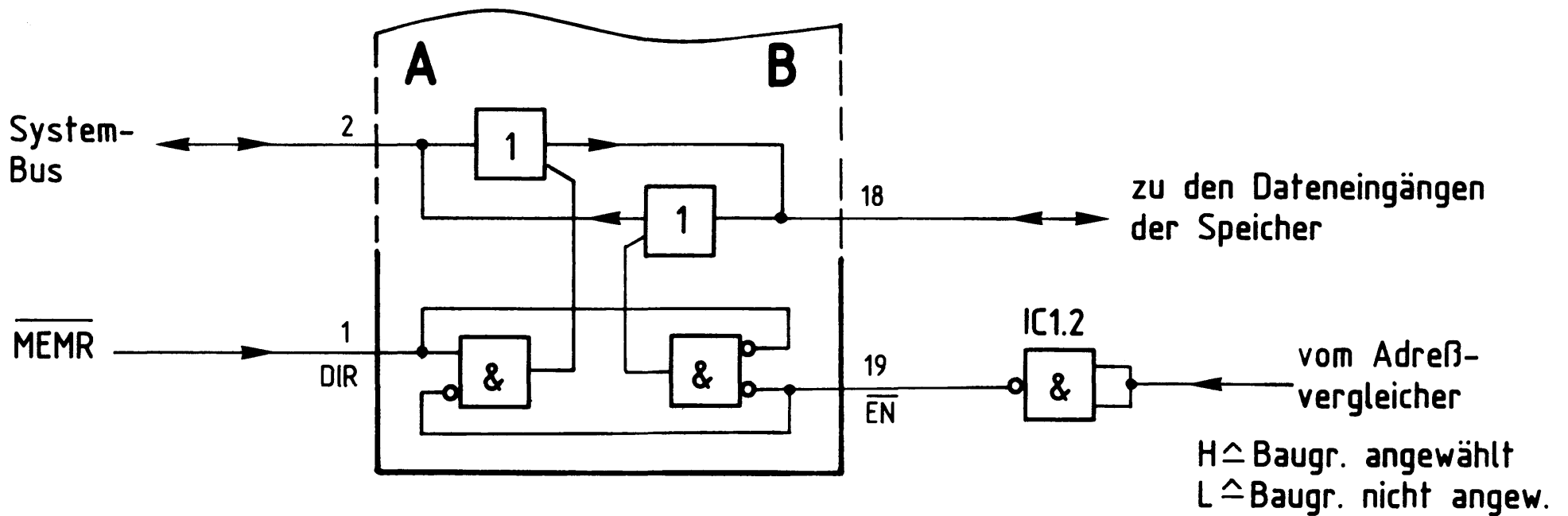
3.2. Der Datenbus-Treiber (IC7)

Bild 9 zeigt einen Ausschnitt aus der Innenschaltung des Datenbus-Treibers, die zugehörige Funktionstabelle und seine äußere Beschaltung.

Die internen Datentreiber werden durch die Pegel an ihren Steuereingängen durchlässig oder hochohmig geschaltet: L-Pegel bringt sie in den hochohmigen, H-Pegel in den leitenden Zustand. Geliefert werden diese Pegel von den beiden UND-Gattern, die ihrerseits die Signale des "Datenrichtung-Eingangs DIR" und des "Datenfreigabe-Eingangs  $\bar{EN}$ " miteinander verknüpfen. Der DIR-Eingang ist direkt mit dem Steuersignal  $\overline{MEMR}$  verbunden, der  $\bar{EN}$ -Eingang mit dem invertierten Signal der Baugruppenauswahl-Leitung. Wird die Baugruppe nicht angewählt, so führt diese Leitung L-Pegel, der  $\bar{EN}$ -Eingang erhält also H-Pegel, und alle Datentreiber sind

8-K-RAM/EPROM

hochohmig. Bei einem L-Pegel am  $\overline{EN}$ -Eingang wird die Datenflußrichtung vom Pegel des  $\overline{MEMR}$ -Signals bestimmt. Ist es aktiv (L), so können Daten vom Speicher zum System-Bus gelangen, andernfalls vom System-Bus zum internen Bus der Baugruppe. Sie liegen dann an den Dateneingängen der Speicher zur Übernahme in die Speicherzeile bereit.



Funktionstabelle 74LS245

$\overline{EN}$	DIR (MEMR)	Funktion	Wirkung auf der Baugruppe
L	L	Daten von B $\rightarrow$ A	Lesen
L	H	Daten von A $\rightarrow$ B	Einschreiben
H	L	Ausgänge hochohmig	Baugruppe nicht angewählt
H	H	Ausgänge hochohmig	Baugruppe nicht angewählt

Bild 9: Innenschaltung (Ausschnitt) und Funktionstabelle des Datenbus- Treibers

3.3. Die Baugruppenauswahl (IC5)

Bild 10 zeigt den Schaltungsteil, der für die Block- oder Baugruppenauswahl benötigt wird.

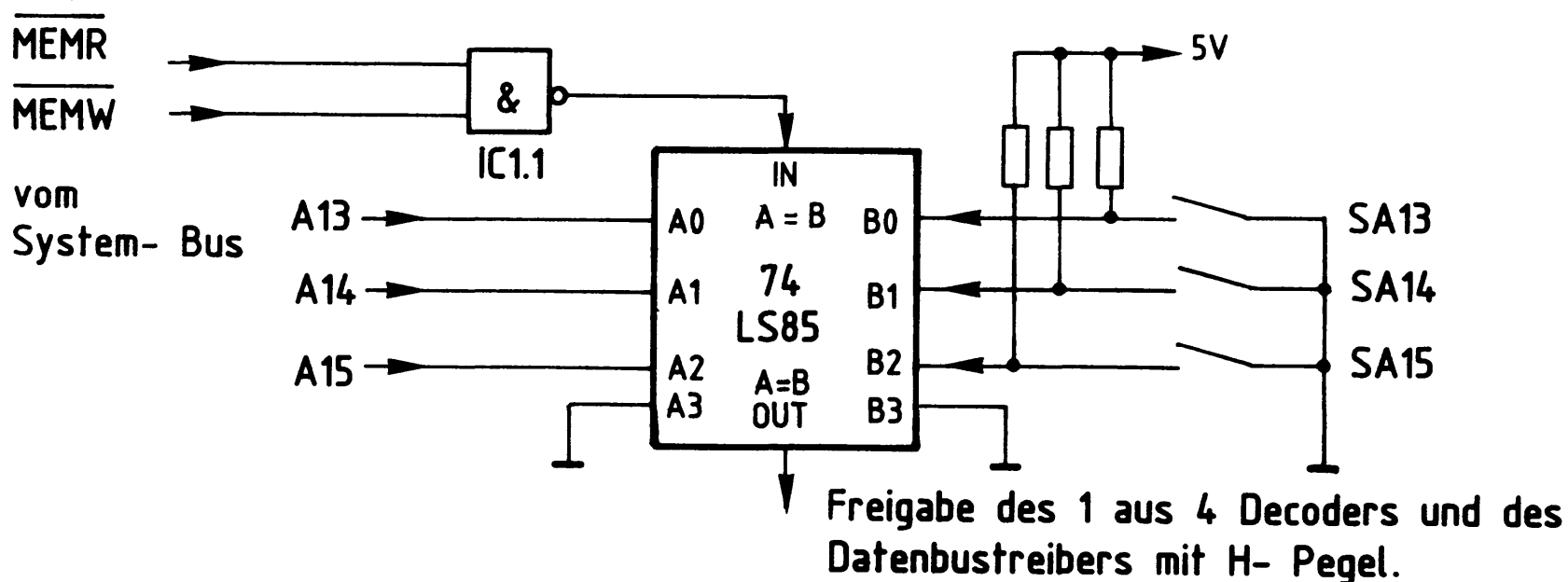


Bild 10: Baugruppenauswahl

8-K-RAM/EPROM

Die Baugruppe ist angewählt, wenn der Ausgang des 4-Bit-Vergleichers H-Pegel führt. Ein solches Freigabesignal kommt nur zustande, wenn

- die Bitkombination der Adreßleitungen A13...A15 gleich der Bitkombination ist, die mit den Schaltern SA13 - SA15 eingestellt wurde. Ein offener Schalter erzeugt H-Pegel am B-Eingang, ein geschlossener L-Pegel.
- $\overline{\text{MEMR}}$  oder  $\overline{\text{MEMW}}$  aktiv ist, d.h., L-Pegel führt. Der IN-Eingang erhält dann H-Pegel.

Da die Bitkombination der Adreßleitungen A13 - A15, die zur Auswahl der Baugruppe führt, von der Stellung der Schalter abhängt, bestimmt man mit diesen Schaltern auch den Adreßbereich des 8-K-Speichers. Die niedrigste Adresse eines jeden Bereiches ist seine Basis-Adresse. Bild 11 zeigt eine Tabelle, in die alle möglichen Schalterstellungen und die zugehörigen Adreßbereiche eingetragen sind.

Schalterwertigkeit	8 SA15	4 SA14	2 SA13	Hex Zahl	Adreßbereich (H) von bis
Schalter offen $\triangle$ H	L	L	L	0	0000 - 1FFF
Schalter zu $\triangle$ L	L	L	H	2	2000 - 3FFF
	L	H	L	4	4000 - 5FFF
	L	H	H	6	6000 - 7FFF
	H	L	L	8	8000 - 9FFF
	H	L	H	A	A000 - BFFF
	H	H	L	C	C000 - DFFF
	H	H	H	E	E000 - FFFF

Summe der Wertigkeiten für H-Pegel
Basis-Adressen

Bild 11: Adreßbereichstabelle

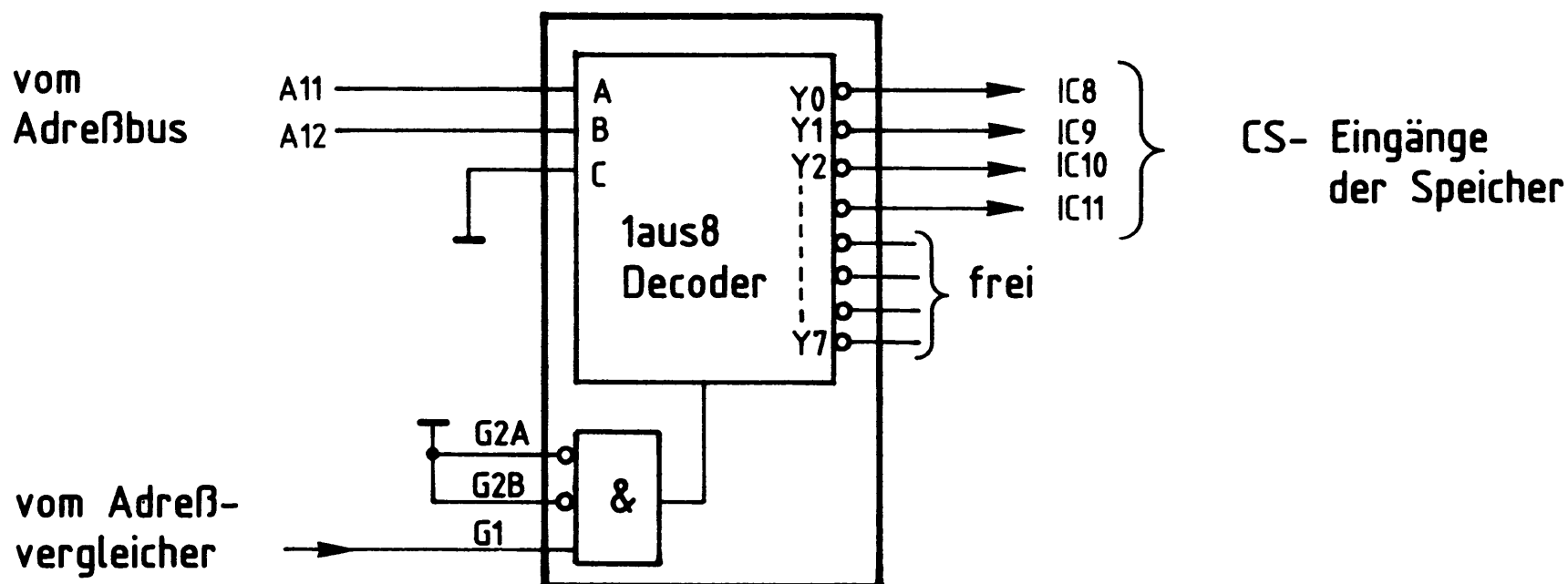
Die Basis-Adresse läßt sich leicht bestimmen, indem man die Wertigkeiten der Schalter addiert, die H-Pegel liefern, die also offen sind. An die hexadezimale Summe hängt man dann noch drei Nullen an.

Die höchste Adresse eines Adreßbereiches erhält man durch Addition von 1FFF zur Basis-Adresse.

8-K-RAM/EPROM

3.4. Bausteinauswahl (IC6)

Bild 12 zeigt den Schaltungsteil, in dem bei einer anliegenden Adresse auf dem Adreßbus einer der vier Speicherbausteine ausgewählt wird.



Funktionstabelle 74LS138(Ausschnitt)

Eingänge			Ausgänge			
G1	G2 *	C B A	Y0	Y1	Y2	Y3
L	X	X X X	H	H	H	H
H	L	L L L	L	H	H	H
H	L	L L H	H	L	H	H
H	L	L H L	H	H	L	H
H	L	L H H	H	H	H	L

\*  $G2 = G2A \wedge G2B$   
 $X \triangleq H \text{ oder } L$

Bild 12: Schaltungsteil Bausteinauswahl

Da auf der Speicherbaugruppe nur vier 2-K-Speicherbausteine vorhanden sind, werden nicht alle 8 Ausgänge und entsprechend auch nicht alle drei Eingänge des IC's benutzt. Der Funktionstabelle ist zu entnehmen, daß Eingang C auf L-Potential gelegt werden muß. Die verbleibenden beiden Eingänge A und B ermöglichen eine Unterscheidung von vier verschiedenen Bitkombinationen auf den Adreßleitungen A11 und A12. Mit den entsprechenden L-Pegeln auf den Ausgängen Y0 bis Y3 wird jeweils ein 2-K-Speicherbaustein angesprochen.

Über die Steuereingänge G1,  $\overline{G2A}$  und  $\overline{G2B}$  kann der 1 aus 8 Decoder gesperrt werden.  $\overline{G2A}$  und  $\overline{G2B}$  sind auf L-Pegel gelegt und damit wirkungslos, über G1 wird der Decoder immer dann mit H-Pegel freigegeben, wenn die Baugruppe angesprochen wird.

8-K-RAM/EPROM

Mit Hilfe der vier möglichen Bitkombinationen auf den Adreßleitungen A11 und A12 läßt sich der Adreßbereich der Speicherbausteine ermitteln. In Bild 13 sind diese Adreßbereiche für alle vier Speicher zusammengestellt.

A15 8	A14 4	A13 2	A12	A11	A10 ——— A0	Adreßbereich	IC- Nr.
für alle 4 Bit- kombinationen gleiche Pegel (8- K-Bereich)			L	L	alle L alle H	(x) 000 — (x) 7FF	IC8
			L	H	"	(x) 800 — (x) FFF	IC9
			H	L	"	(x+1) 000 — (x+1) 7FF	IC10
			H	H	"	(x+1) 800 — (x+1) FFF	IC11

diese Bitkombination wird jeweils durch die Stellung von SA13- SA15 bestimmt.	alle vier möglichen Bitkombin.	hiermit werden 2048 Speicherzeilen adressiert, niedrigste Adr: alle L, höchste Adr: alle H
---	--------------------------------	--

Bild 13: Tabelle zur Bestimmung des Adreßbereichs der vier 2- K- Speicherbausteine

Für den Buchstaben "X" ist jeweils die hexadezimale Summe der Schalterwertigkeiten (SA13 - SA15) für diejenigen Schalter, die H-Pegel liefern, einzusetzen. Siehe hierzu auch Bild 11.

Beispiel:

Auf einer Baugruppe sind alle Schalter offen, liefern also H-Pegel an den Adreßvergleich.

$$X = 8 + 4 + 2 = E \text{ (Hexadezimal)}$$

Baustein-Adreßbereich:

IC8	:	E000	E7FF	} 8K
IC9	:	E800	FFFF	
IC10	:	F000	F7FF	
IC11	:	F800	FFFF	

} 2K



---

8-K-RAM/EPROM

---

## 3.5. RAM-EPROM-Umschaltung

Siehe hierzu Bild 7

Wenn die Baugruppe mit EPROM-Speichern bestückt wird, müssen die Lötunkte P1-P2 und P7-P8 mit Drahtbrücken auf der Baugruppe gebrückt werden (sie sind gekennzeichnet).

- Über die Verbindung P1-P2 wird L-Pegel auf die Busleitung 11a geschaltet, sobald die Baugruppe angesprochen wird. Das Signal an 11a kann dazu genutzt werden, diesen Zustand in einem MC-Modell sichtbar zu machen.
- Die Verbindung P7-P8 bringt +5 V an die EPROM-Stifte 21. Diese Spannung fordert der EPROM-Hersteller an diesem Anschluß, ein H-Pegel genügt nicht. Es ist darauf zu achten, daß die Brücke P5-P6 auf keinen Fall bei EPROM-Betrieb eingebaut sein darf, weil sonst bei einem Schreibsignal ( $\overline{\text{MEMW}}$ ) über P7-P8 und IC4.3 ein Kurzschluß geschaltet wird.

Wenn die Baugruppe mit RAM-Speichern bestückt wird, sind die Lötunkte P3-P4 und P5-P6 zu brücken.

- Die Verbindung P3-P4 schaltet L-Pegel auf die Busleitung 12a, sobald die Baugruppe angewählt wird. Mit diesem Pegel kann der Zustand "Baugruppe RAM angewählt" in einem MC-Modell angezeigt werden.
- Die Verbindung P5-P6 führt das Steuersignal  $\overline{\text{MEMW}}$  (Speicher einschreiben) auf die IC's 1.1 und 4.2.  
Mit einem L-Pegel an diesem Steuersignal wird über IC4.2 und IC4.3 der Schreibvorgang in den RAM-Speichern ausgelöst.

3.6. Blockaufbau eines RAM-Bausteins (IC8-IC11)

Bild 14 zeigt den Blockaufbau des RAM's 6116P-3 (auch 8725). Bei diesem RAM handelt es sich um ein 2-K-Byte-RAM.

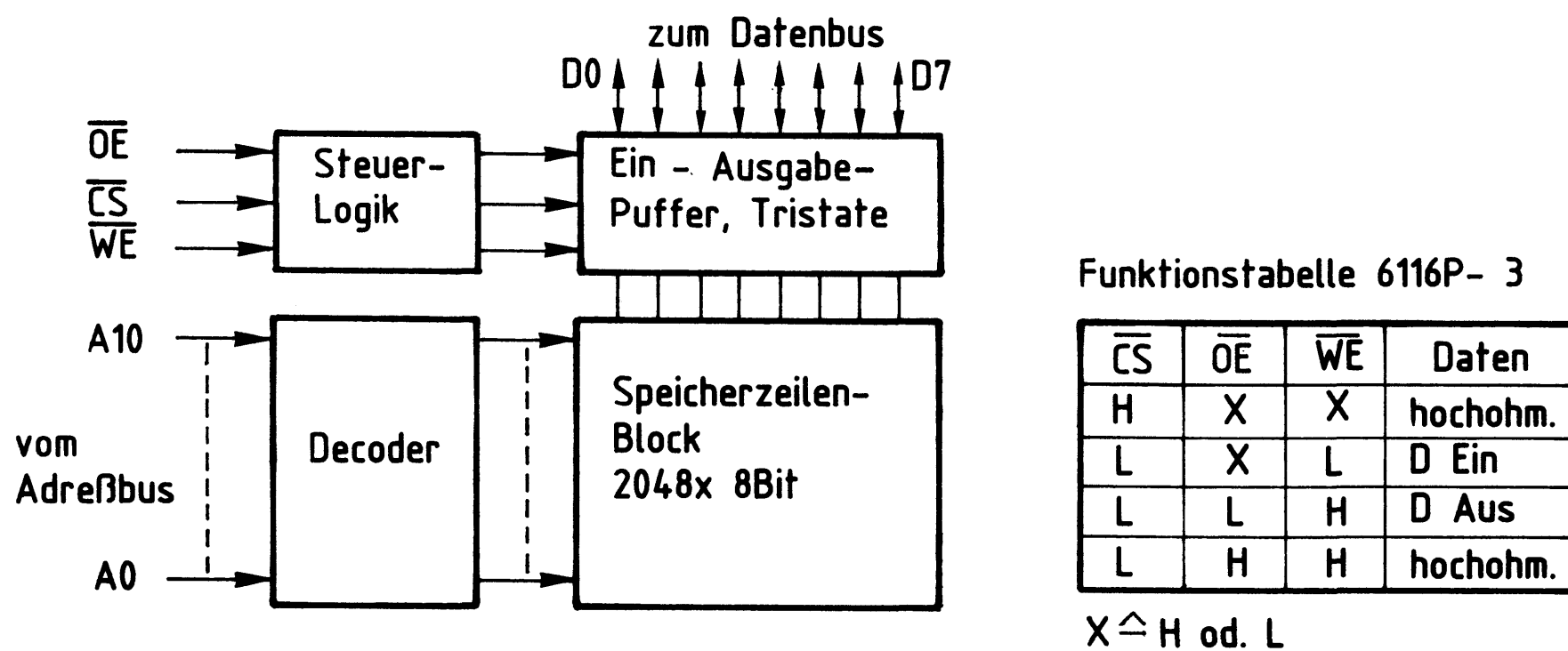


Bild 14: Blockaufbau und Funktionstabelle RAM 6116P-3

Da der Steuereingang  $\overline{OE}$  (Ausgangs-Freigabe) auf L-Potential liegt, erfolgt die Steuerung des Datenverkehrs vom und zum Speicher nur über die Steuerleitungen  $\overline{CS}$  (Baustein angewählt) und  $\overline{WE}$  (Schreib-Freigabe).

Wenn die Baugruppe nicht angewählt ist, führt  $\overline{CS}$  H-Pegel und die Ein/Ausgabe-Puffer im RAM sind hochohmig. Bei angewählter Baugruppe und angesprochenem RAM führt der  $\overline{CS}$ -Eingang L-Pegel. Der Datenverkehr hängt nun vom Pegel auf der  $\overline{WE}$ -Leitung ab. Mit einem L-Pegel auf diesem Eingang werden Daten in den Speicher geschrieben, mit einem H-Pegel gelangen Daten aus dem Speicher auf den Datenbus.

Der Decoder im RAM erzeugt aus der Bitkombination der Adreßleitungen A0 bis A10 ein Signal zur Freigabe der adressierten Speicherzeilen innerhalb des Speicherzeilen-Blocks.

8-K-RAM/EPROM

3.7. Blockaufbau des EPROM-Bausteins (IC8-IC11)

Bild 15 zeigt den Blockaufbau des EPROM's 2716. Dieses EPROM ist ein 2-K-Byte-EPROM, es ist anschlußkompatibel zum o.g. RAM 6116P-3 bis auf den Steueranschluß  $\overline{WE}$ .

Da ein EPROM nicht beschrieben werden muß, fehlt dieser Steuereingang. Der Anschlußstift muß im Betrieb auf +5 V gelegt werden. Will man das EPROM programmieren, dient dieser Anschluß als Eingang für eine Programmierspannung.

Die Steuerung des Datenverkehrs kann der Funktionstabelle aus Bild 15 entnommen werden.

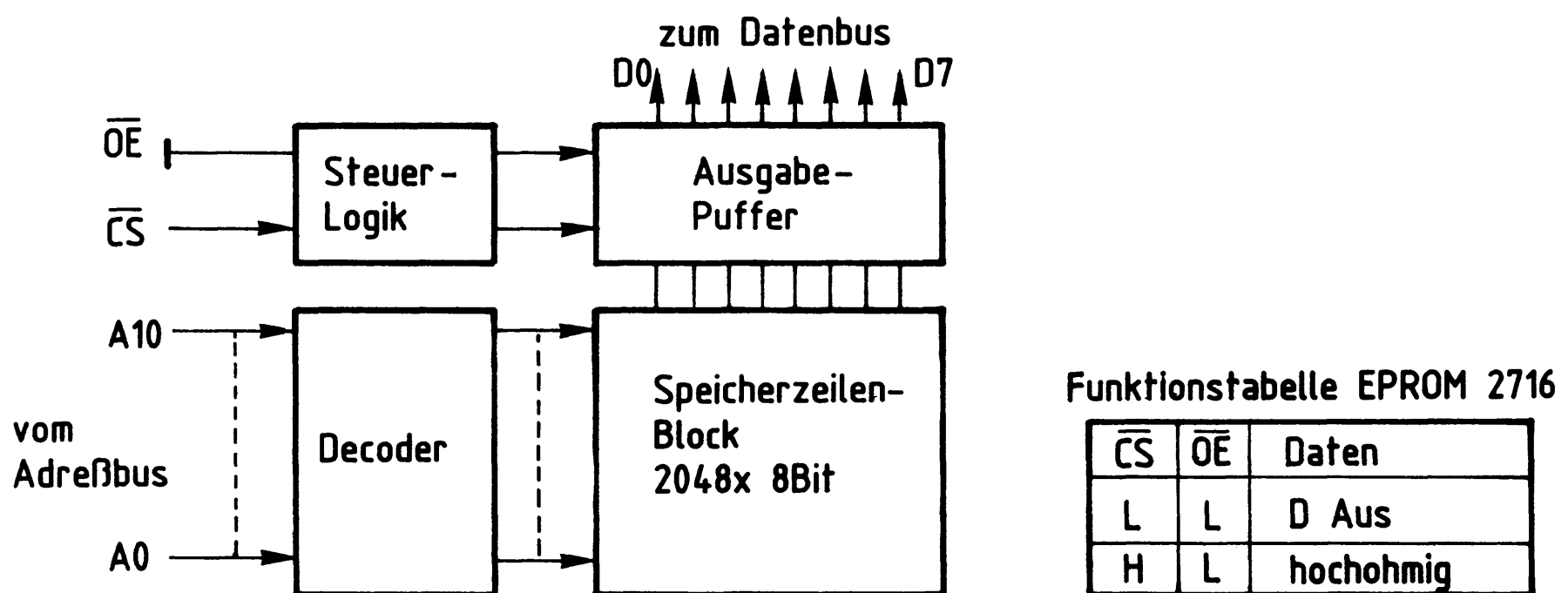
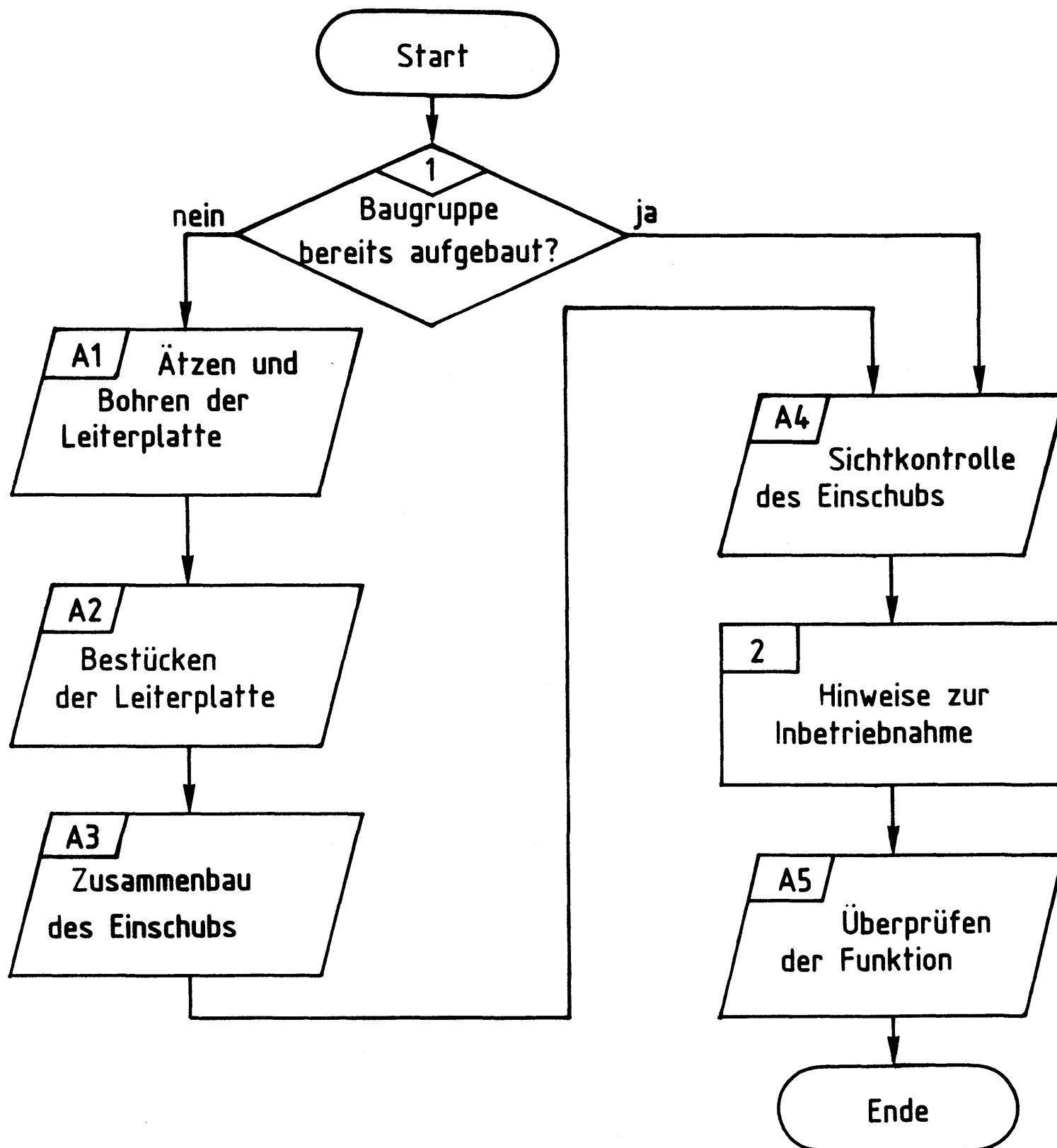


Bild 15: Blockaufbau und Funktionstabelle EPROM 2716



## 8-K-RAM/EPROM

Stckz.	Benennung/Daten	Bemerkung
1	Leiterplatte, ca. 110x170 mm Mat.: Epoxid-Glashartgewebe (Hgw 2372)	doppelseitig Cu-kaschiert (35 µm) u. mit Fotolack beschichtet
je 1	Filmvorlage BFZ/MFA 3.1.L und 3.1.B zum Belichten der Leiterplatte	je nach Ätzverfahren Pos.- od. Neg.-Film
1	Frontplatte, Teilung L-C 05, Alu, 2 mm dick, Breite: 25,1 mm	z.B. Intermas Nr. 409-017 665
1	Griff komplett mit Abdeckung T03	z.B. Intermas Nr. 409-017 927
1	Frontverbinder 1,6 FEE	z.B. Intermas Nr. 409-024 830
1	Messerleiste 64polig, DIN 41612	z.B. Erni STV-P-364 a/c Nr. 9722.333.401
1	Zylinderschraube M2,5x8 DIN 84	
2	Zylinderschraube M2,5x10 DIN 84	
3	Zylinderschraube M2,5x12 DIN 84	
2	Zylinderschraube mit Schaft BM2,5x10/5 DIN 84	
5	Federscheibe A2,7 DIN 137	
1	Federring B2,5 DIN 127	
4	Sechskantmutter M2,5 DIN 439	
2	Schraubensicherung, Kunststoff	z.B. Intermas Nr. 409-026 748
1	Miniaturschiebeschalter 3polig, DIL	als Codierschalter
7	Widerstand 4,7 kΩ	0,25 W/+5 % Tol.
3	Tantal-Elko 4,7 µF/25 V oder 35 V	Tropfenform
4	Kondensator 10 nF	Keramik
1	IC 74 LS 00, Vier NAND mit je 2 Eingängen	
1	IC 74 LS 05, Sechs Inverter o.K.	
1	IC 74 LS 85, 4-Bit-Vergleicher	
1	IC 74 LS 138, 3-Bit-Binärdecoder	
2	IC 74 LS 244, Acht Bus-Treiber	
1	IC 74 LS 245, Acht Bus-Treiber, bidirektional	
1	RAM-Baustein 2-K x 8-Bit, statisch, mind. 350 ns, pinkompatibel mit 2716; z.B. 6116P-3, 8725 P	entfällt für EPROM-Baugruppe
4	EPROM-Baustein 2-K x 8-Bit, mind. 350 ns, INTEL-kompatibel; z.B. 2716	entfällt für RAM-Baugruppe *

## 8-K-RAM/EPROM

Stckz.	Benennung/Daten	Bemerkung
1	IC-Fassung, 6polig, DIL	siehe Anmerkung
2	IC-Fassung, 14polig, DIL	siehe Anmerkung
2	IC-Fassung, 16polig, DIL	siehe Anmerkung
3	IC-Fassung, 20polig, DIL	siehe Anmerkung
4	IC-Fassung, 24polig, DIL	siehe Anmerkung
n.B.	Lötendraht	
n.B.	Lötlack	
n.B.	Schaltdraht $\varnothing$ 0,5 mm, versilbert	
n.B.	Reinigungsmittel	zum Entfetten der Frontplatte
n.B.	Beschriftungsmaterial, Abreibesymbole oder Tuscheschreiber	zum Beschriften der Frontplatte
n.B.	Plastikspray	zum Besprühen der Frontplatte

\* Die vier EPROM'S müssen mit dem Betriebsprogramm "MAT 85 Version 1.8" programmiert sein.

## Anmerkung:

Je nach Ausführung der geätzten Leiterplatte müssen unterschiedliche IC-Fassungen bereitgestellt werden:

Ist die Leiterplatte durchkontaktiert, können Sie gewöhnliche IC-Fassungen verwenden.

Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu eignen sich sehr gut die sog. "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen.

Falls Sie die als Meterware erhältlichen Kontaktfederstreifen verwenden, benötigen Sie davon 570 mm.

## 8-K-RAM/EPROM

Zur Inbetriebnahme der Baugruppe "8-K-RAM/EPROM" benötigen Sie zusätzlich:

Stckz.	Benennung/Daten	Bemerkung
1	Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1.	Zusammengebaut und geprüft nach FPÜ BFZ/MFA 1.2. (Arbeitsblatt A7)
1	Bus-Abschluß BFZ/MFA 0.2.	
1	Trafo-Einschub BFZ/MFA 1.1.	
1	Spannungsregelung BFZ/MFA 1.2.	
1	Bus-Signalgeber BFZ/MFA 1.2.	komplett aufgebaut und geprüft
1	Bus-Signalanzeige BFZ/MFA 5.2.	komplett aufgebaut und geprüft
1	Adapterkarte 64polig BFZ/MFA 5.3.	

## 8-K-RAM/EPROM

In dieser Übung werden Sie den zum Mikrocomputer-Baugruppensystem gehörenden Einschub "8-K-RAM/EPROM" aufbauen und in Betrieb nehmen. Falls Sie bereits einen zusammengebauten Einschub erhalten haben, besteht Ihre Aufgabe darin, ihn zu überprüfen und in Betrieb zu nehmen.

1

Entscheiden Sie nun, wie Sie vorgehen.

Aufbau nach Arbeitsunterlagen

→ A1

Überprüfen des fertigen Einschubs und  
Inbetriebnahme

→ A4

In den folgenden Arbeitsschritten wird die Baugruppe "8-K-RAM/EPROM" in Betrieb genommen und ihre Funktion geprüft.

2

Dazu benötigen Sie:

- 1 Baugruppenträger mit Busverdrahtung BFZ/MFA 0.1.
- 1 Bus-Anschluß BFZ/MFA 0.2.
- 1 Trafo-Einschub BFZ/MFA 1.1.
- 1 Spannungsregelung BFZ/MFA 1.2.
- 1 Bus-Signalgeber BFZ/MFA 5.1.
- 1 Bus-Signalanzeige BFZ/MFA 5.2.
- 1 Adapterkarte 64polig BFZ/MFA 5.3.

Alle aufgeführten Teile komplett aufgebaut und geprüft.

Darüberhinaus sollten Sie den Stromlaufplan und den Bestückungsplan der Übung "8-K-RAM/EPROM" bereithalten.

Alle zur Inbetriebnahme der Baugruppe vorgegebenen Arbeitsblätter enthalten:

- Angaben über den Sinn der jeweiligen Messung
- Angaben über einzustellende Bedingungen (z.B. Schalterstellungen)
- Aufgabenstellungen, ggf. mit Hinweisen zu möglichen Fehlern

Wenn Sie bei der Lösung der Aufgaben Schwierigkeiten haben, sollten Sie das entsprechende Kapitel der Funktionsbeschreibung noch einmal durcharbeiten.

→ A5





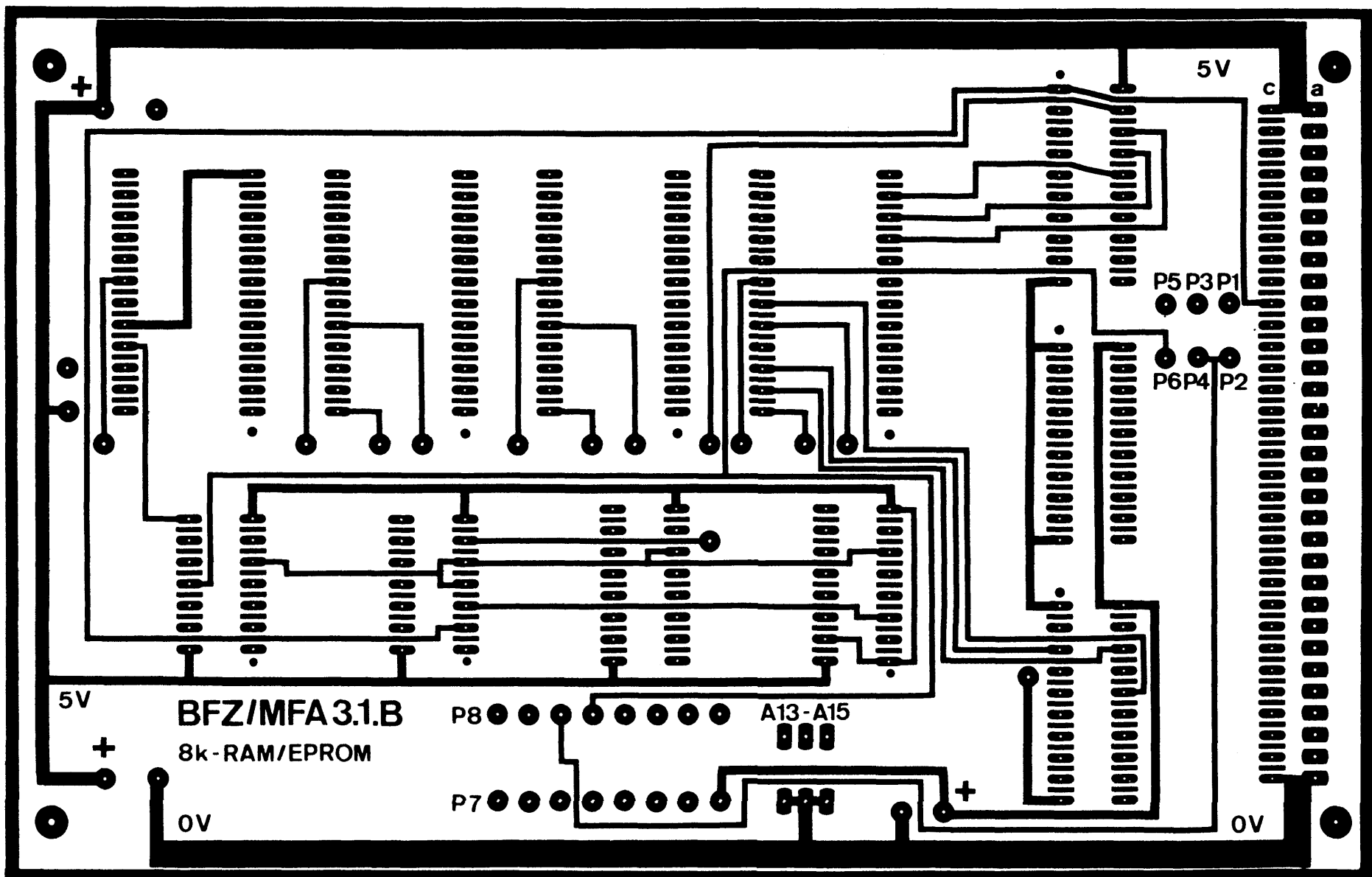
Name:

8-K-RAM/EPROM

Datum:

Die folgende Abbildung zeigt das Layout der Bestückungsseite.

A1.2



→ A2

Name: \_\_\_\_\_

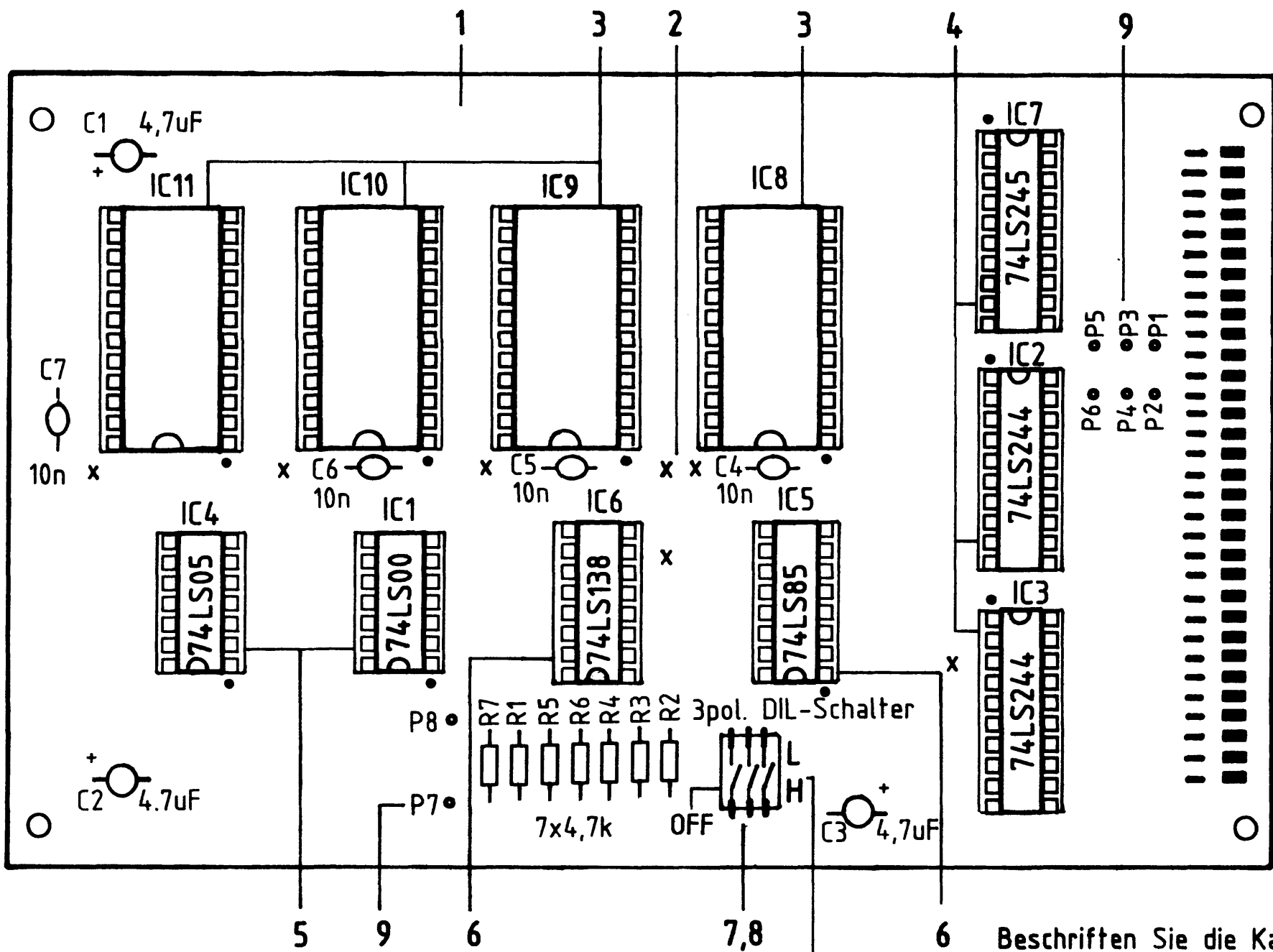
8-K-RAM/EPROM

Datum: \_\_\_\_\_

# A2.1

Bestücken Sie die Leiterplatte mit Hilfe des Bestückungsplans, der Stückliste und der Bauteilliste. Vorher sollten Sie alle Leiterbahnen möglichst mit einer Lupe nach Rissen und Kurzschlüssen (Ätzfehler, Bohrgrat) untersuchen und Fehler entsprechend beseitigen.

## Bestückungsplan Leiterplatte



Beschriften Sie die Karte hier mit einem wasserfesten Stift



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

## Stückliste Leiterplatte

**A2.2**

Pos.	Stckz.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 3.1.	
2	7	Durchkontaktierung, hergestellt aus Schaltdraht 0,5 mm Cu-Ag	nur erforderlich bei nicht galvanisch durchkontaktierter Leiterplatte
3	4	IC-Fassung 24polig	} siehe Anmerkung
4	3	IC-Fassung 20polig	
5	2	IC-Fassung 14polig	
6	2	IC-Fassung 16polig	
7	1	IC-Fassung 6polig	
8	1	Miniatur-Schiebeschalter 3polig	
9	2	Lötbrücke nach Bedarf hergestellt aus Schaltdraht 0,5 mm Cu-Ag	EPROM: P1-P2 u. P7-P8 RAM : P3-P4 u. P5-P6



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

## Bauteilliste Leiterplatte

A2.3

Kennz.	Benennung/Daten	Bemerkung
R1...R7	Widerstand 4,7 k $\Omega$	
C1...C3	Tantal-Elko 4,7 $\mu$ F/25 V oder 35 V	
C4...C7	Keramik-Kondensator 10 nF	
IC1	Vier NAND 74 LS 00	
IC2, IC3	Acht Bus-Treiber 74 LS 244	
IC4	Sechs Inverter 74 LS 05	offener Kollektor
IC5	4-Bit-Vergleicher 74 LS 85	
IC6	3-Bit-Binärdecoder 74 LS 138	
IC7	Acht Bus-Treiber 74 LS 245	bidirektional
IC8...IC11	RAM-Baustein, 2-K x 8 Bit, 6116P-3	entfällt für EPROM-Baugruppe 1)
IC8...IC11	EPROM-Baustein, 2-K x 8-Bit, 2716 programmiert mit Betriebsprogramm "MAT 85 Vers. 1.8."	entfällt für RAM-Baugruppe; 2) stecken Sie die EPROM'S noch nicht in die Sockel

1) Wenn nur 1 RAM-Baustein zur Verfügung steht, ist dieser in Sockel IC11 zu stecken.

2) Die vier EPROM'S sind entsprechend der folgenden Tabelle zu stecken:

Socket:	IC11	IC10	IC9	IC8
beschriftet	V1.8	V1.8	V1.8	V1.8
mit:	IV	III	II	I

## Anmerkung

Alle IC's werden auf Fassungen gesteckt, die je nach Ausführung der geätzten Leiterplatte unterschiedlicher Bauart sind. Wenn die Leiterplatte galvanisch durchkontaktiert ist, werden gewöhnliche IC-Fassungen verwendet. Bei nicht durchkontaktierten Leiterplatten müssen IC-Fassungen eingesetzt werden, die auch von der Bestückungsseite her verlötbar sind. Hierzu verwenden Sie entweder "Carrier-IC-Fassungen", die aus zusammengesetzten Einzelkontakten bestehen oder die als Meterware erhältlichen Kontaktfederstreifen.

→ A3

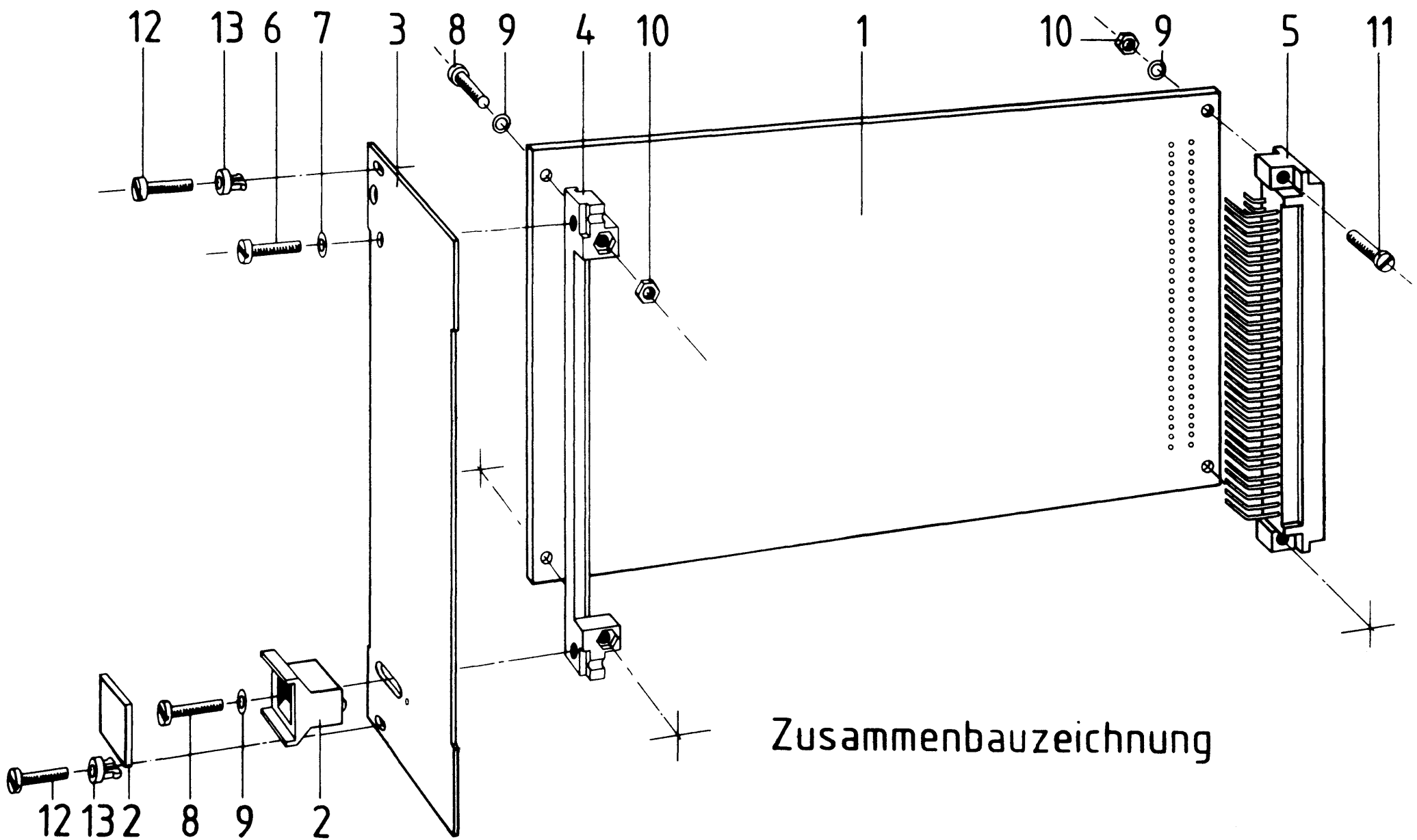
Name: \_\_\_\_\_

8-K-RAM/EPR0M

Datum: \_\_\_\_\_

Bauen Sie den Einschub nach der folgenden Zeichnung und Stückliste zusammen.

A3



Stückliste für den Zusammenbau

Pos.	Stck.	Benennung/Daten	Bemerkung
1	1	Leiterplatte BFZ/MFA 3.1.	bestückt
2	1	Griff komplett	
3	1	Frontplatte	
4	1	Frontverbinder	
5	1	Messerleiste 64polig DIN 41612	
6	1	Zylinderschraube M2,5x8 DIN 84	
7	1	Federring B2,5 DIN 127	
8	3	Zylinderschraube M2,5x12 DIN 84	
9	5	Federscheibe A2,7 DIN 137	
10	4	Sechskantmutter M2,5 DIN 439	
11	2	Zylinderschraube M2,5x10 DIN 84	
12	2	Zylinderschraube mit Schaft, BM2,5x10/5 DIN 84	
13	2	Schraubensicherung, Kunststoff	

→ A4

Name:

---

8-K-RAM/EPROM

Datum:

---

### Sichtkontrolle

**A4**

Führen Sie eine Sichtkontrolle des fertigen Einschubs durch. Dazu sollten Sie den Stromlauf- und Bestückungsplan bereitlegen. Beheben Sie erkannte Fehler und Mängel.

### Lötstellen

Sind auf der mit "L" bezeichneten Seite der Karte (Leiterbahnseite, Lötseite) alle Bauteilanschlüsse sachgemäß angelötet?

Achten Sie bei den Lötstellen besonders auf Kurzschlüsse, die bei der Enge der Leiterbahnen leicht durch das Auftragen einer zu großen Menge von Lötzinn oder durch Lötzinnspritzer und -perlen entstehen können.

Bei galvanisch nicht durchkontaktierten Leiterplatten müssen auch Lötstellen auf der mit "B" bezeichneten Kartenseite (Bauteilseite, Bestückungsseite) überprüft werden. Dort müssen alle Bauteilanschlüsse, an die eine Leiterbahn führt, verlötet sein. Außerdem müssen bei nicht durchkontaktierten Leiterplatten alle im Bestückungsplan mit "x" bezeichneten Bohrungen durch Einsetzen von Drahtstückchen durchkontaktiert sein.

### Bestückung

- Sind alle Widerstände mit ihren Werten richtig eingebaut?
- Sind die Elkos richtig gepolt?
- Sind alle IC's richtig eingesteckt?
- Ist der DIL-Schalter eingesetzt? (Beschriftung "OFF" zum Rand)
- Sind die Brücken für den Einsatz der Baugruppe als RAM- bzw. EPROM-Speicher richtig eingelötet?

### Gesamtaufbau

Kontrollieren Sie auch die Montage der Frontplatte.

**2** ←

Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

Zuerst muß die Spannungsversorgung aller IC's an den entsprechenden IC-Stiften gemessen werden.

**A5.1**

Baugruppe über Adapter am System-Bus.  
Betriebsspannung eingeschaltet.

Suchen Sie sich aus dem Stromlaufplan die entsprechenden IC-Stifte heraus; tragen Sie IC-Typ, Stift-Nummern und die dort gemessenen Spannungen in die Tabelle ein.

	IC1	IC2	IC3	IC4	IC5	IC6
Typ	74LS00					
+UB-Pin	14					
0V-Pin	7					
UB	5V					

	IC7	IC8	IC9	IC10	IC11
Typ					
+UB-Pin					
0V-Pin					
UB					





Name: \_\_\_\_\_

8-K-RAM/EEPROM

Datum: \_\_\_\_\_

Prüfen des Adreßbus-Treibers (IC2 und IC3)

# A5.2

Die erforderlichen Adreßsignale werden vom Bus-Signalgeber geliefert. Die entsprechenden Adreßpegel werden am letzten Speicherbaustein (Sicht vom Adreßbus-Treiber) IC11 gemessen. Wenn sie dort den Pegeln entsprechen, die auf dem System-Bus vorhanden sind, kann man davon ausgehen, daß die Treiber funktionieren und die Leiterbahnführung zu den Speichern in Ordnung ist. Das gleiche gilt sinngemäß auch für alle Adreßleitungen, die nicht zu Speichern geführt sind.

Überlegen Sie sich, welche Pegel die Adreßleitungen jeweils für die angegebenen Schalterstellungen des Bus-Signalgebers führen müssen. Diese Pegel müssen auch an den Bausteinen meßbar sein, zu denen die Adreßleitungen hingeführt sind. Überprüfen Sie Ihre Überlegungen durch Messungen.

		Adr. Leitung	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
		an IC...	5	5	5	6	6	11	11	11	11	11	11	11	11	11	11	11
		Pin -Nr....																
Stellung "Address"	5555	Soll- Pegel																
		Ist- Pegel																
	AAAA	Soll- Pegel																
		Ist- Pegel																



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

Prüfen der "Baugruppenauswahl" bei den acht möglichen Basisadressen

# A5.3

Die nötigen Adreß- und Steuersignale liefert der Bus-Signalgeber. Für die Einstellung der Basisadressen ist nur der linke der vier Adreßschalter nötig (A12...A15)! Auf der Speicher-Baugruppe wird die Basisadresse mit den DIL-Schaltern SA13, SA14 u. SA15 eingestellt.

Überlegen Sie sich, welche Pegel auf den Adreßleitungen A13 bis A15 anliegen müssen, wenn die jeweils in der Tabelle angegebenen Basisadressen eingestellt sind.

Welchen Pegel muß das "IN-Signal" des Adreßvergleichers (IC5) haben, damit die Freigabe der "Bausteinauswahl" erfolgen kann; welchen Pegel hat dann dieses Freigabesignal (OUT) ?

Tragen Sie die Pegel in die folgende Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

Basis-Adresse	Pegel der Adreß-Leitungen			$\overline{\text{MEMR}}$ oder MEMW damit "IN" richtig für Freigabe	"OUT" für Freigabe der Bausteinauswahl
	A15	A14	A13		
0000					
2000					
4000					
6000					
8000					
A000					
C000					
E000					



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

# A5.4

## Prüfen der Bausteinauswahl

Die Prüfung wird bei der Basisadresse 0000 durchgeführt. Die möglichen Pegelkombinationen der Adreßleitungen A11 und A12 werden mit dem Bus-Signalgeber erzeugt. Die Pegel der Bausteinauswahl-Leitungen ( $\overline{CS}$ ) werden an den betreffenden Speicherbausteinen überprüft.

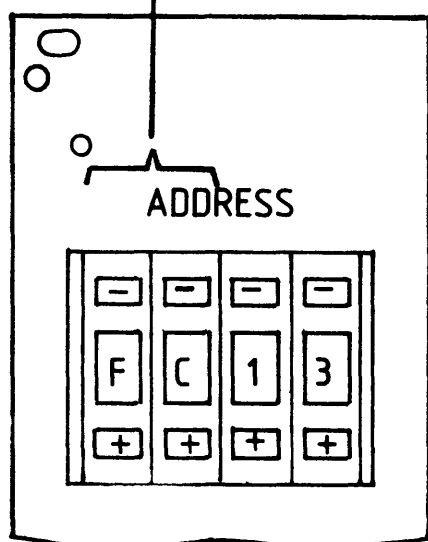
Welche Pegel müssen jeweils an den  $\overline{CS}$ -Eingängen der Speicher-Bausteine vorhanden sein, wenn der Bus-Signalgeber die in der Tabelle angegebenen Adreßpegel A11...A15 liefert. Tragen Sie die Pegelwerte in die folgende Tabelle ein und überprüfen Sie Ihre Überlegungen durch entsprechende Messungen.

HEX	HEX	A15	A14	A13	A12	A11	A10	A9	A8	MEMR oder MEMW	IC8 $\overline{CS}$	IC9 $\overline{CS}$	IC10 $\overline{CS}$	IC11 $\overline{CS}$
		L	L	L	L	L	L	L	L					
		L	L	L	L	H	L	L	L					
		L	L	L	H	L	L	L	L					
		L	L	L	H	H	L	L	L					

Wichtig für Basisadresse

Wichtig für Bausteinauswahl

Sind willkürlich zu L gewählt



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

# A5.5

## Prüfen des Datenbus-Treibers

Die mit dem Bus-Signalgeber ausgegebenen Datensignale müssen an den entsprechenden Eingängen der Speicher-Bausteine nachmeßbar sein. Dazu muß der Datenbus-Treiber allerdings freigegeben sein und Daten müssen vom System-Bus zu den Speichern übertragen werden. Beim Lesen von Daten aus dem Speicher werden die vom Bus-Signalgeber vor dem Lesen ausgegebenen Datensignale durch die gelesenen Daten überschrieben. Mit der Bus-Signalanzeige kann dieses Überschreiben beobachtet werden.

Das Überprüfen des Datenbus-Treibers soll bei der Basisadresse 0000 durchgeführt werden. Überlegen Sie sich, welche Pegel die Datenleitungen jeweils für die angegebenen Schalterstellungen des Bus-Signalgebers führen müssen. Messen Sie diese Pegel zur Überprüfung Ihrer Überlegungen an den Anschlüssen des Speichers IC11 nach. Zunächst wird das "Schreiben" überprüft.

"DATA" Bus-Signal- geber	Daten- Leitung : an IC Pin- Nr.	D7	D6	D5	D4	D3	D2	D1	D0	MEMR	MEMW
		11									
55	Soll-Pegel										
	Ist- Pegel										
AA	Soll- Pegel										
	Ist- Pegel										

Zum Prüfen des "Lesens" (Signalfluß vom Speicher zum System-Bus) stellen Sie am Bus-Signalgeber mit Schalter "DATA" eine 55 ein. Die "Bus-Signalanzeige" wird diesen Datenwert anzeigen. Wenn Sie nun das Steuersignal  $\overline{\text{MEMR}}$  erzeugen, wird die Anzeige der Daten überschrieben. Prüfen Sie diesen Vorgang!

Aus der Anzeige 55 wird die Anzeige:



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

Prüfen des Einschreibens und Lesens von Daten in die RAM-Baugruppe

**A5.6**

Bei dieser Prüfung soll in die jeweils erste und letzte Speicherzeile eines jeden bestückten RAM'S auf der Karte ein Datenwort eingeschrieben und anschließend ausgelesen werden. Die Basisadresse der Baugruppe soll E000 sein.

Überlegen Sie sich welche niedrigste (NA) und höchste Adresse (HA) jeder Baustein bei der Basisadresse E000 hat. Tragen Sie die Werte in die Tabelle ein. Schreiben Sie dann in diese Speicherzeilen das Datenwort 55 ein. Notieren Sie zur Kontrolle den Datenwert, der vor dem Einschreiben von 55 in den Zeilen vorhanden war. Lesen Sie anschließend die Inhalte der beschriebenen Zeilen.

Einschreiben :

RAM-Baustein	—	Wert der Adressen	Datenwert vor dem Schreiben	Schreiben von ...
IC8	NA	E000		55
	HA	E7FF		55
IC9	NA			55
	HA			55
IC10	NA			55
	HA			55
IC11	NA			55
	HA			55

Lesen der zuvor geschriebene Daten:

RAM-Baustein	—	Wert der Adressen	Gelesener
IC8	NA		
	HA		
IC9	NA		
	HA		
IC10	NA		
	HA		
IC11	NA		
	HA		



Name: \_\_\_\_\_

8-K-RAM/EPROM

Datum: \_\_\_\_\_

# A5.7

Lesen von Daten aus der EPROM-Baugruppe

Bei dieser Prüfung sollen aus jedem der vier EPROM-Bausteine einige Zeileninhalte gelesen werden. Die Basisadresse der Baugruppe soll 0000 sein.

Stellen Sie mit dem Bus-Signalgeber die in der folgenden Tabelle angegebenen Adressen ein und lesen Sie die Inhalte der entsprechenden Speicherzeilen. Wenn die gelesenen Inhalte den angegebenen Vergleichswerten entsprechen, ist sichergestellt, daß die EPROM'S in den richtigen Sockeln stecken (überprüfen Sie das einmal durch Vertauschen zweier EPROM'S).

EPROM-Baustein	Adresse	Gelesener Inhalt	Vergleichs-Inhalt
IC8	0002		01
	0302		2A
	07FE		32
IC9	0805		87
	0B05		C5
	0FFB		2A
IC10	1007		44
	1407		FC
	17FC		56
IC11	1804		56
	1C0A		08
	1FFE		23

Damit ist die Übung beendet!